



MSP430x13x , MSP430x14x , MSP430x14x1 混合信号微控制器

- 低电源电压范围：1.8~3.6V
- 超低功耗：
 - 待机模式：1.6uA
 - 关闭模式(RAM 保持)：0.1uA
 - 活动模式：280uA at 1MHz , 2.2V
- 5 种省电模式
- 6us 内从待机模式唤醒
- 16 位 RISC 结构，125ns 指令周期
- 带内部参考，采样保持和自动扫描特性的 12 位 A/D 转换器
- 有 7 个捕获/比较寄存器的 16 位定时器 Timer_B
- 有 3 个捕获/比较寄存器的 16 位定时器 Timer_A
- 片内集成比较器
- 串行在线编程，无需外部编程电压，安全熔丝可编程代码保护。
- 器件系列包括：
 - MSP430F133：8KB+256B 闪速存储器，256B 的 RAM
 - MSP430F135：16KB+256B 闪速存储器，512B 的 RAM
 - MSP430F147，MSP430F1471：32KB+256B 闪速存储器，1KB 的 RAM
 - MSP430F148，MSP430F1481：48KB+256B 闪速存储器，2KB 的 RAM
 - MSP430F149，MSP430F1491：60KB+256B 闪速存储器，2KB 的 RAM
- 可用封装：64 脚方形扁平封装(QFP).

描述

德州仪器的 MSP430 系列是一种超低功耗微控制器系列，由针对各种不同应用模块组合特性的多种型号组成。微控制器可设计成使用电池长时间工作。由于其 16 位的体系结构，16 位的 CPU 集成寄存器和常数发生器，可使 MSP430 实现了最大化的代码效率。数字控制振荡器使所有低功率模式唤醒到运行模式小于 6us 的唤醒时间。

MSP430x13x 和 MSP430x14x 系列是有两个内置 16 位定时器，一个快速 12 位 A/D 转换器，一或两个通用串行同步/异步通信接口(USART)和 48 个 I/O 引脚构造的微控制器。

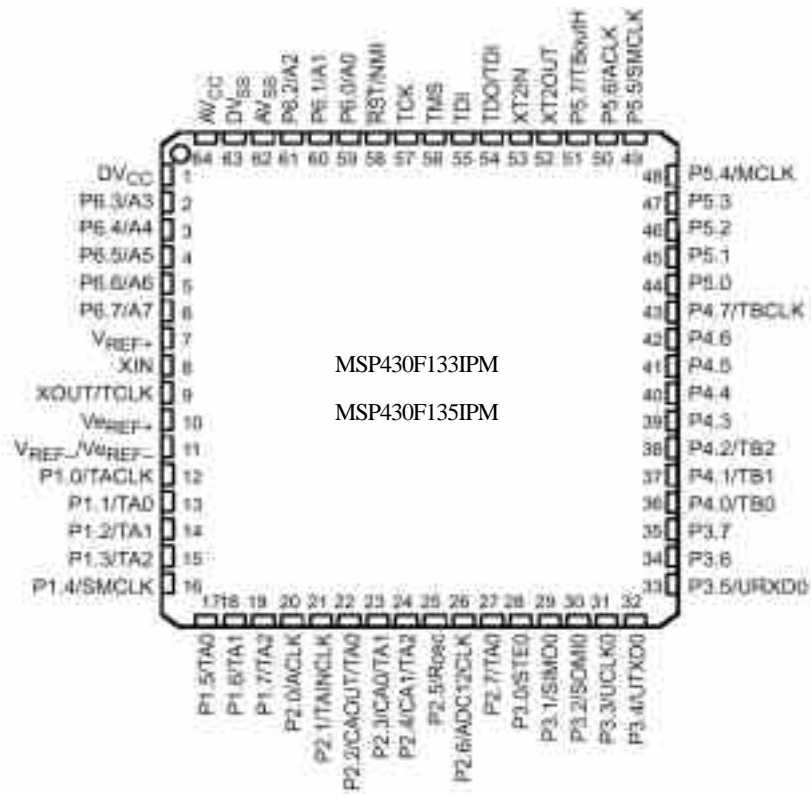
典型应用为传感器系统，把模拟信号转换成数字值，处理并发送数据到主系统。定时器令 MCU 配置适合于数字电机控制，EE 仪表，手持仪表等的工业控制应用。硬件乘法器增强了性能，并提供一个代码与硬件广泛兼容的系列解决方案。

可用器件

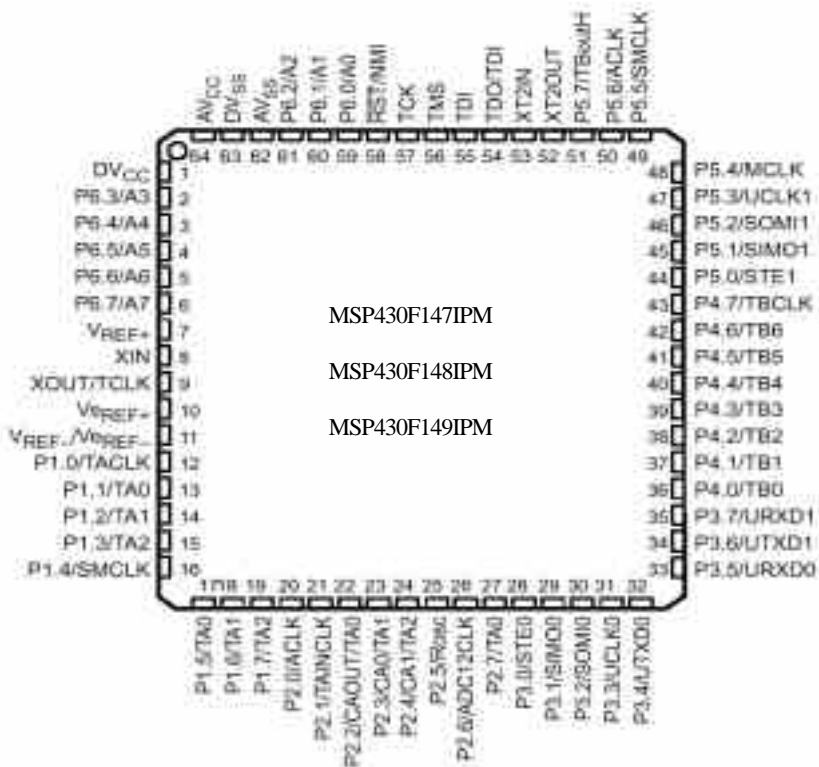
TA	已封装器件
	塑料 64 脚 QFP (PM)
-40 —85	MSP430F133IPM MSP430F135IPM MSP430F147IPM MSP430F148IPM MSP430F149IPM



引脚说明: MSP430F133, MSP430F135

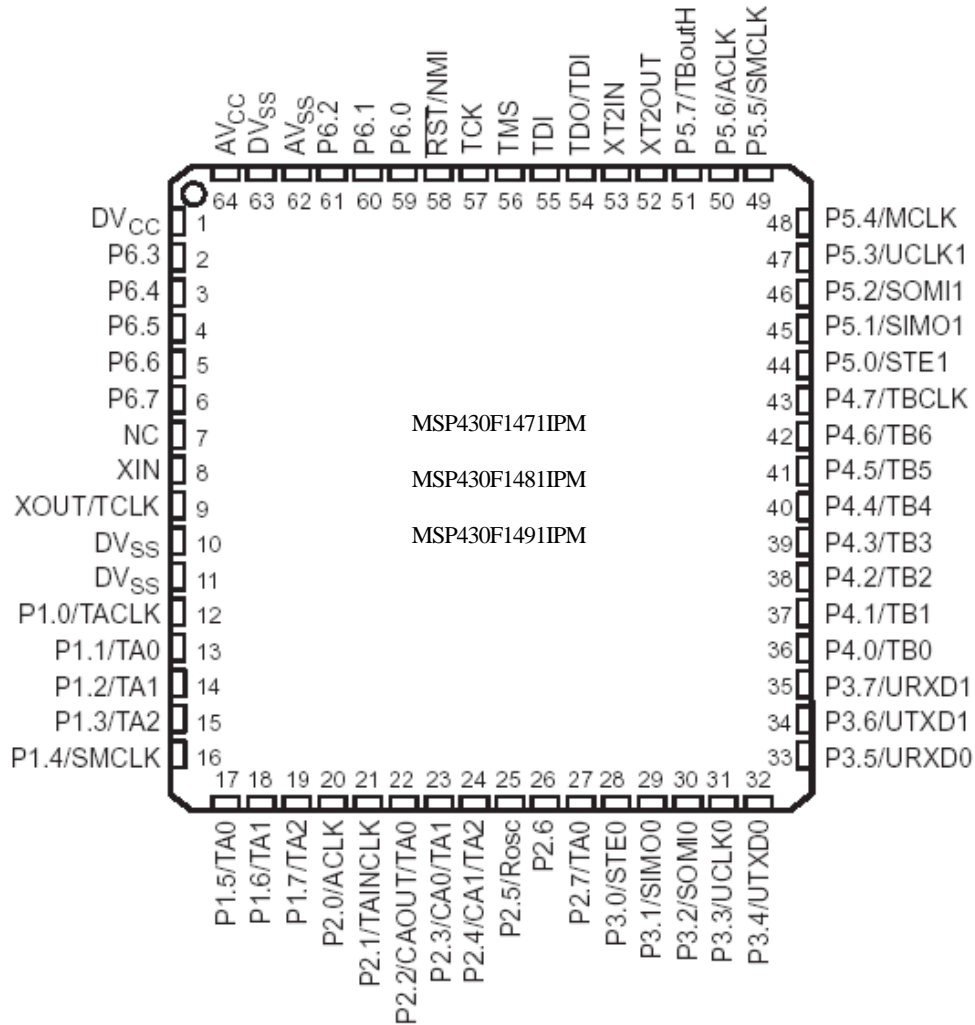


引脚说明: MSP430F147, MSP430F148, MSP430F149



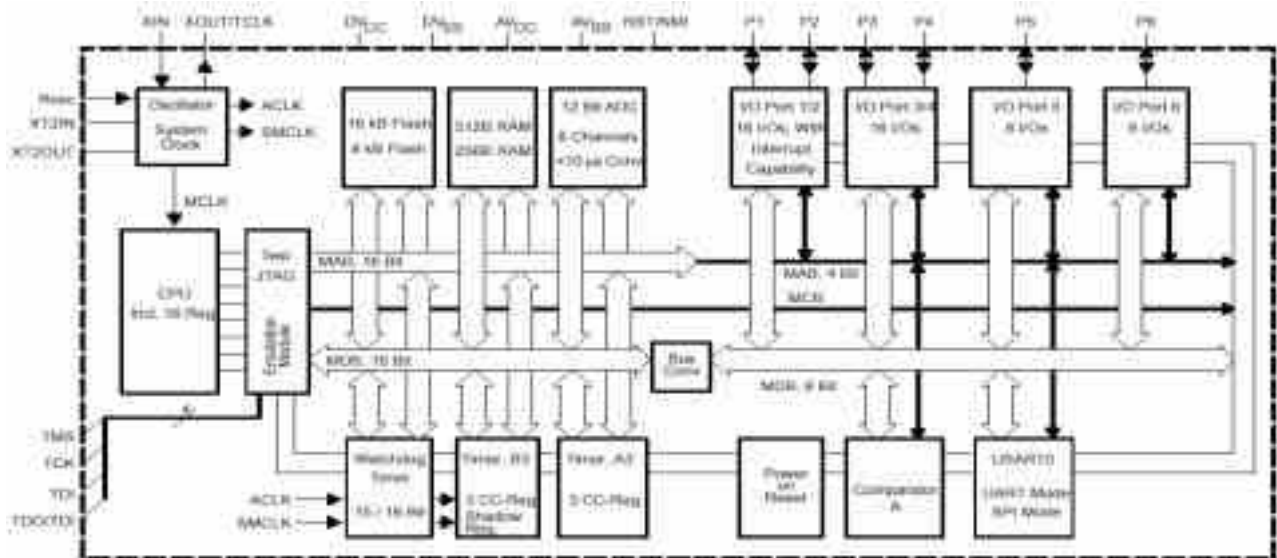


引脚说明: MSP430F1471、MSP430F1481、MSP430F1491



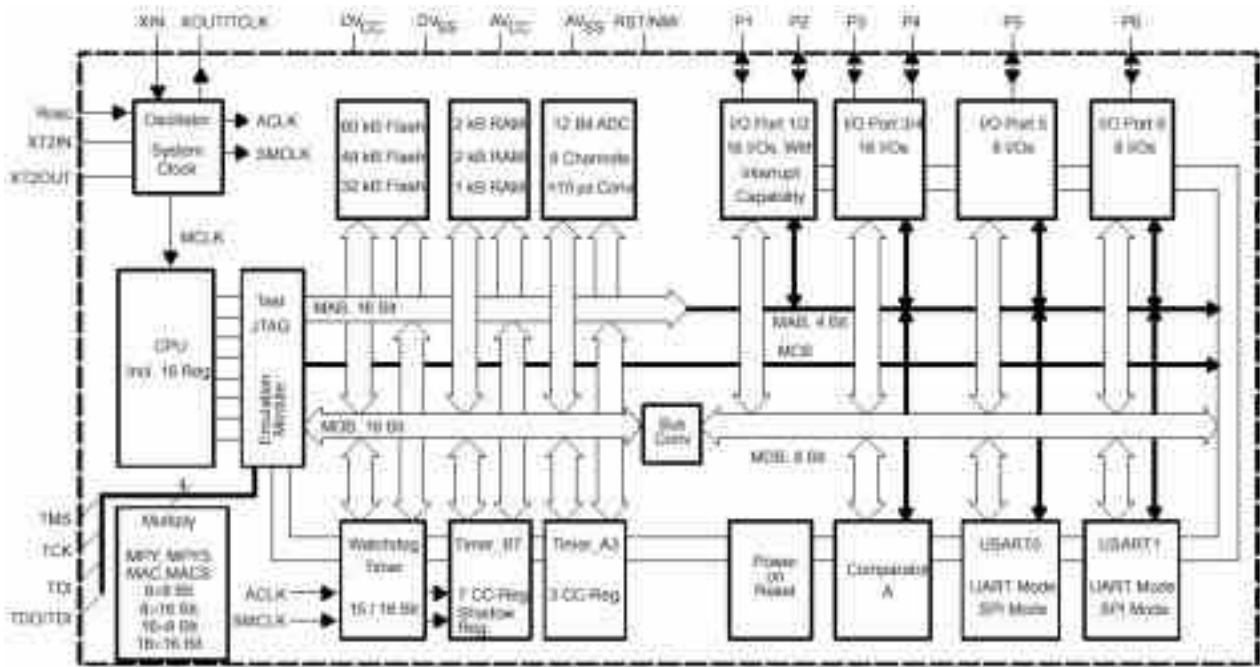
功能框图

MSP430X13X

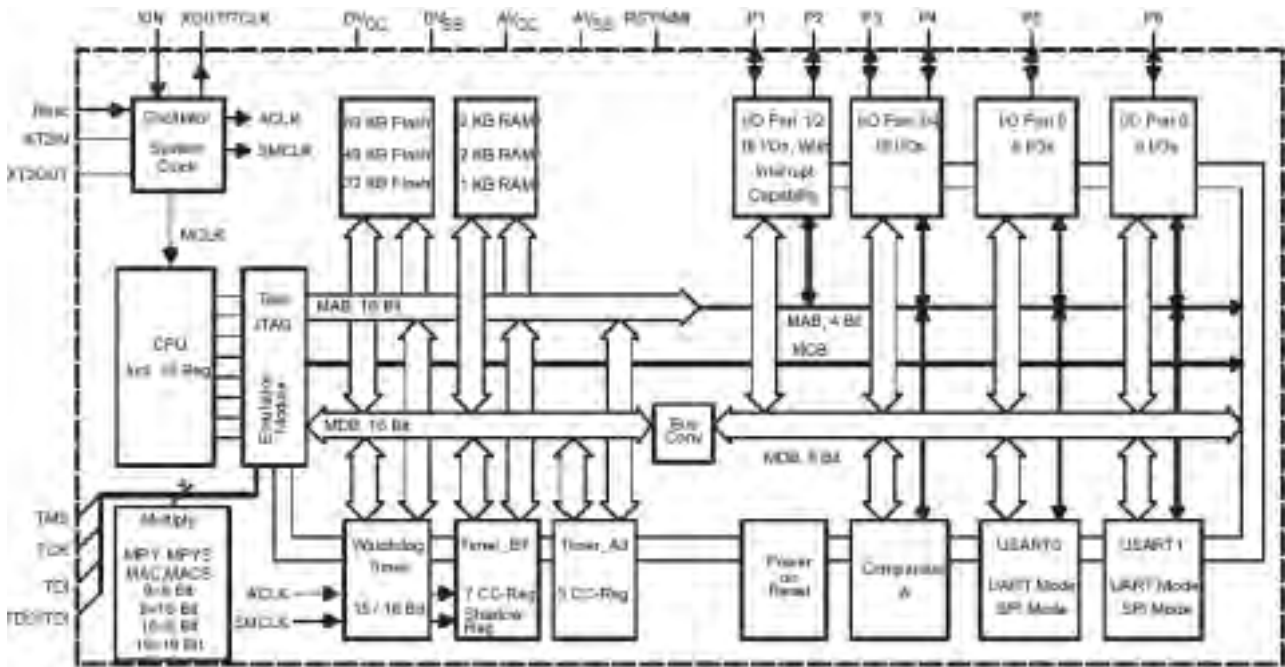




MSP430X14X



MSP430X14X1





引脚功能

引脚		I/O	说明
名称	编号		
AVCC	64		模拟电源, 正端, 仅供给模数转换器的模拟部分
AVSS	62		模拟电源, 负端, 仅供给模数转换器的模拟部分
DVCC	1		数字电源, 正端, 供给所有数字部分
DVSS	63		数字电源, 负端, 供给所有数字部分
P1.0/TACLK	12	I/O	普通 I/O 引脚/Timer_A, 时钟信号 TACLK 输入
P1.1/TA0	13	I/O	普通数字 I/O 引脚/Timer_A, 捕获: CCI0A 输入, 比较: OUT0 输出
P1.2/TA1	14	I/O	普通数字 I/O 引脚/Timer_A, 捕获: CCI1A 输入, 比较: OUT1 输出
P1.3/TA2	15	I/O	普通数字 I/O 引脚/Timer_A, 捕获: CCI2A 输入, 比较: OUT2 输出
P1.4/SMCLK	16	I/O	普通数字 I/O 引脚/SMCLK 信号输出
P1.5/TA0	17	I/O	普通数字 I/O 引脚/Timer_A, 比较: OUT0 输出
P1.6/TA1	18	I/O	普通数字 I/O 引脚/Timer_A, 比较: OUT1 输出
P1.7/TA2	19	I/O	普通数字 I/O 引脚/Timer_A, 比较: OUT2 输出
P2.0/ACLK	20	I/O	普通数字 I/O 引脚/ACLK 输出
P2.1/ACLK	21	I/O	普通数字 I/O 引脚/Timer_A: 时钟信号 INCLK
P2.2/CAOUT/TA0	22	I/O	普通数字 I/O 引脚/Timer_A: 捕获: CCI0B 输入/比较器_A 输出
P2.3/CA0/TA1	23	I/O	普通数字 I/O 引脚/Timer_A: 比较: Out1 输出/比较器_A 输入
P2.4/CA1/TA2	24	I/O	普通数字 I/O 引脚/Timer_A: 比较: Out2 输出/比较器_A 输入
P2.5/Rosc	25	I/O	普通数字 I/O 引脚, 定义 DCO 标称频率的外部电阻输入
P2.6/ADC12CLK	26	I/O	普通数字 I/O 引脚, 转换时钟 12 位 ADC.
P2.7/TA0	27	I/O	普通数字 I/O 引脚/Timer_A, 比较: Out0 输出
P3.0/STE0	28	I/O	普通数字 I/O, 从发送使能-USART0/SPI 方式
P3.1/SIM00	29	I/O	普通数字 I/O, USART0/SPI 方式的从输入/主输出
P3.2/SOMI0	30	I/O	普通数字 I/O, USART0/SPI 方式的从输出/主输入
P3.3/UCLK0	31	I/O	普通数字 I/O, 外部时钟输入-USART0/UART/SPI 方式
P3.4/UTXD0	32	I/O	普通数字 I/O, 发送数据输出-USART0/UART 方式
P3.5/URXD0	33	I/O	普通数字 I/O, 接收数据输入-USART0/UART 方式
P3.6/UTXD1 ⁺	34	I/O	普通数字 I/O, 发送数据输出-USART1/UART 方式
P3.7/URXD1 ⁺	35	I/O	普通数字 I/O, 接收数据输入-USART1/UART 方式
P4.0/TB0	36	I/O	通用数字 I/O, 捕获 I/P 或 PWM 输出端口-Timer_B7 CCR0
P4.1/TB1	37	I/O	通用数字 I/O, 捕获 I/P 或 PWM 输出端口-Timer_B7 CCR1
P4.2/TB2	38	I/O	通用数字 I/O, 捕获 I/P 或 PWM 输出端口-Timer_B7 CCR2
P4.3/TB3 ⁺	39	I/O	通用数字 I/O, 捕获 I/P 或 PWM 输出端口-Timer_B7 CCR3
P4.4/TB4 ⁺	40	I/O	通用数字 I/O, 捕获 I/P 或 PWM 输出端口-Timer_B7 CCR4
P4.5/TB5 ⁺	41	I/O	通用数字 I/O, 捕获 I/P 或 PWM 输出端口-Timer_B7 CCR5
P4.6/TB6 ⁺	42	I/O	通用数字 I/O, 捕获 I/P 或 PWM 输出端口-Timer_B7 CCR6
P4.7/TBCLK	43	I/O	通用数字 I/O, 输入时钟 TBCLK-Timer_B7
P5.0/STE1 ⁺	44	I/O	通用数字 I/O, 从发送使能-USART1/SPI 方式
P5.1/SIM1 ⁺	45	I/O	通用数字 I/O, 从入主出 USART1/SPI 模式
P5.2/SOM1 ⁺	46	I/O	通用数字 I/O, USART1/SPI 方式的从输出/主输入
P5.3/UCLK1 ⁺	47	I/O	通用数字 I/O, 外部时钟输入 USART1/UART 或 SPI 方式, 时钟输出 USART1/SPI 方式
P5.4/MCLK	48	I/O	通用数字 I/O, 主系统时钟 MCLK 输出
P5.5/SMCLK	49	I/O	通用数字 I/O, 次主系统时钟 SMCLK 输出



引脚功能(续表)

引脚		I/O	说 明
名称	编号		
P5.6/ACLK	50	I/O	通用数字 I/O, 辅助时钟 ACLK 输出
P5.7/TboutH	51	I/O	通用数字 I/O, 切换所有 PWM 输出端口到高阻-Timer_B7 TB0 到 TB6
P6.0/A0	59	I/O	普通数字 I/O, 模拟输入 a0-12 位 ADC
P6.1/A1	60	I/O	普通数字 I/O, 模拟输入 a1-12 位 ADC
P6.2/A2	61	I/O	普通数字 I/O, 模拟输入 a2-12 位 ADC
P6.3/A3	2	I/O	普通数字 I/O, 模拟输入 a3-12 位 ADC
P6.4/A4	3	I/O	普通数字 I/O, 模拟输入 a4-12 位 ADC
P6.5/A5	4	I/O	普通数字 I/O, 模拟输入 a5-12 位 ADC
P6.6/A6	5	I/O	普通数字 I/O, 模拟输入 a6-12 位 ADC
P6.7/A7	6	I/O	普通数字 I/O, 模拟输入 a7-12 位 ADC
\overline{RST} /NMI	58	I	复位输入, 非屏蔽中断输入端口, 或引导装载程序启动(Flash 器件)。
TCK	57	I	测试时钟 TCK 是用于器件编程测试和引导装载程序启动(flash 器件)时钟输入端口
TDI	55	I	测试数据输入。TDI 用作一个数据输入端口。器件保护熔丝连接 TDI。
TDO/TDI	54	I/O	测试数据输出端口。TDO/TDI 数据输出或编程数据输入端子
TMS	56	I	选择测试模式。TMS 用作一个器件编程和测试的输入端口
V_{eREF+}	10	I/P	ADC 外部参考电压输入
V_{REF+}	7	O	ADC 内参考电压正端输出
V_{REF-}/V_{eREF-}	11	O	内部 ADC 参考电压和外部施加的 ADC 参考电压的负端
XIN	8	I	晶体振荡器 XT1 的输入端口。可以连接标准晶体或手表晶体
XOUT/TCLK	9	I/O	晶体振荡器 XT1 的输出端或测试时钟输入
XT2IN	53	I	晶体振荡器 XT2 的输入端口。只能连接标准晶体
XT2OUT	52	O	晶体振荡器 XT2 输出端

简要说明

处理单元

处理单元基于一种一致的正交设计的 CPU 和指令集。种设计结构形成了一种对应用开发高度透明,并以编程简单著称的类 RISC 体系。除了程序流指令以外的所有操作,自然都是作为寄存器操作,连同 7 种源寻址方式和 4 种目的操作数寻址方式来执行的。

CPU

CPU 有 16 个寄存器提供精简指令执行时间。寄存器到寄存器操作执行时间被减少到处理器频率的一个周期,4 个寄存器被保留,专门用作程序计数器,堆栈计数器,状态寄存器,和常数发生器。其余的寄存器可用作通用寄存器。

外设利用一个数据地址和控制总线连接到 CPU,并能容易利用内存处理指令操作。



程序计数器	PC/R0
堆栈指针	SP/R1
状态寄存器	SR/CG1/R2
常数发生器	CG2/R3
通用寄存器	R4
通用寄存器	R5
•	
•	
通用寄存器	R14
通用寄存器	R15

指令集

指令集为这种寄存器结构提供了一种强大和易用的汇编语言。这个指令集由三种格式和七种寻址方式的 51 条指令组成，1 给出了三类指令格式的总结和例子，寻址方式在表 2 中列出。

表 1 指令字格式

双操作数，源-目的，	例如	ADD R4, R5	R4+R5	R5
单操作数，仅目的，	例如	CALL R8	PC (TOS),	R8 PC
相对跳转，无 / 有条件，	例如	JNE	不相等，	跳转

大多数指令能够对字和字节数据操作，字节操作由后缀 B 标识。

例：	字操作指令	字节操作指令
	MOV EDE, TONI	MOV.B EDE, TONI
	ADD #235h, &MEM	ADD.B #35h, &MEM
	PUSH R5	PUSH.B R5
	SWPB R5	-

表 2 寻址方式说明

寻址方式	s	d	语 法	例 子	操 作
寄存器			MOV Rs, Rd	MOV R10, R11	R10 R11
索引			MOV X(Rn), Y(Rm)	MOV 2(R5), 6(R6)	M(2 + R5) M(6 + R6)
符号(PC相对)			MOV EDE, TONI		M(EDE) M(TONI)
绝对			MOV &MEM, TCDAT		M(MEM) M(TCDAT)
间接			MOV @Rn, Y(Rm)	MOV @R10, Tab(R6)	M(R10) M(Tab + R6)
间接自动增量			MOV @Rn+, RM	MOV @R10+, R11	M(R10) R11, R10+2 R10
直接			MOV #X, TONI	MOV #45, TONI	#45 M(TONI)

注意：s=源操作数 d=目的操作数



运行模式

MSP430具有一种活动模式和五种软件可选的低功耗运行模式。一个中断事件可以将芯片从五种低功耗模式中的任何一种唤醒为请求服务并在从中断程序返回时恢复低功耗模式。

下列六种运行模式由软件配置：

活动模式AM：

- 所有时钟活动

低功耗模式0 (LPM0)

- CPU关闭

ACLK和SMCLK保持活动，MCLK关闭

低功耗模式1 (LPM1)

- CPU关闭

ACLK和SMCLK保持活动，MCLK关闭

如果DCO在活动模式中没有使用，DCO的直流发生器将关闭

低功耗模式2 (LPM2)

- CPU关闭

MCLK、FLL+，DCOCLK关闭

DCO的直流发生器保持活动

ACLK保持活动

低功耗模式3 (LPM3)

- CPU关闭

MCLK、FLL+，DCOCLK关闭

ACLK保持活动

低功耗模式4 (LPM4)

- CPU关闭

ACLK关闭

MCLK、FLL+，DCOCLK关闭

DCO的直流发生器关闭

晶体振荡器停止

中断向量地址

中断向量和上电启动地址位于存储器中0FFFFh-0FFE0h的地址范围内，个向量包含相应中断处理程序指令序列的16位地址。

中断源	中断标志	系统中断	字地址	优先级
上电，外部复位，看门狗， 闪速存储器	WDTIFG(见注1) KEYV(见注1)	复位	0FFFEH	15，最高
NMI 振荡器故障 闪速存储器访问违例	NMIIFG(见注1&4) OFIFG(见注1&4) ACCIVFG(见注1&4)	(非)屏蔽 (非)屏蔽 (非)屏蔽	0FFFCH	14
Timer_B7(见注5)	BCCIFG0(见注2)	可屏蔽	0FFFAH	13
Timer_B7(见注5)	BCCIFG1到BCCIFG6 TBIFG(见注1&2)	可屏蔽	0FFF8H	12
比较器_A	CAIFG	可屏蔽	0FFF6H	11
看门狗定时器	WDTIFG	可屏蔽	0FFF4H	10



USART0接收	URXIFG0	可屏蔽	0FFF2H	9
USART0发送	UTXIFG0	可屏蔽	0FFF0H	8
ADC	ADCIFG(见注1&2)	可屏蔽	0FFEEH	7
Timer_A3	CCIFG0(见注1&2)	可屏蔽	0FFECH	6
Timer_A3	CCIFG1 , CCIFG2 , TAIFG(见注1&2)	可屏蔽	0FFEAH	5
I/O端口P1(8个标志)	P1IFG0到P1IFG7(见注1&2)	可屏蔽	0FFE8H	4
USART1接收	URXIFG1	可屏蔽	0FFE6H	3
USART1发送	UTXIFG1	可屏蔽	0FFE4H	2
I/O端口P2(8个标志, 见注3)	P2IFG0到P2IFG7(见注1&2)	可屏蔽	0FFE2H	1
			0FFE0H	0, 最低

注：1. 多源标志。

2. 中断标志位于模块中。
3. 非屏蔽：既非独立的也非通用的中断允许位能够禁止中断事件。
4. (非)屏蔽：独立中断允许位能够禁止中断事件，但通用中断允许位不能禁止。
5. MSP430x14x系列中Timer_B7有7个捕获/比较寄存器;MSP430x14x系列中Timer_B3有3个捕获/比较寄存器;Timer_B3仅有中断标志CCIFG0、1和2和中断使能位CCIE0、1和2被集成在内。

特殊功能寄存器

大多数中断和模块的使能位被集中于最低地址空间，有分配功能用途的特殊功能寄存器位在物理上并不存在于器件中,这种安排提供简单的软件访问。

中断使能1和2

地址	7	6	5	4	3	2	1	0
00h	UTXIE 0	URXIE 0	ACCVIE	NMIE			OFIE	WDTIE
	rw-0	rw-0	rw-0	rw-0			rw-0	rw-0

WDTIE：看门狗定时器中断使能信号

OFIE：振荡器故障中断使能信号

NMIE：非屏蔽中断使能信号

ACCVIE：(非)屏蔽中断使能信号，访问违例如果闪速存储器/模块忙

URXIE0：USART0，UART，和SPI接收中断使能信号

UTXIE0：USART0，UART，和SPI发送中断使能信号

地址	7	6	5	4	3	2	1	0
01h			UTXIE1	URXIE1				
			rw-0	rw-0				

URXIE1：USART1，UART，和SPI接收中断使能信号

UTXIE1：USART1，UART，和SPI发送中断使能信号

中断标志寄存器1和2

地址	7	6	5	4	3	2	1	0
02h	UTXIFG0	URXIFG0		NMIIFG			OFIFG	WDTIFG
	rw-1	rw-0		rw-0			rw_0	rw_0

WDTIFG：溢出，或安全键违例，或VCC上电复位，或RST/NMI有复位条件时置位。

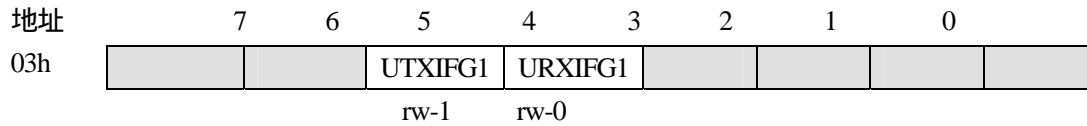
OFIFG：振荡器发生故障时标志置位。



NMIIFG：通过RST/NMI引脚置位。

URXIFG0：USART0，UART，和SPI接收标志。

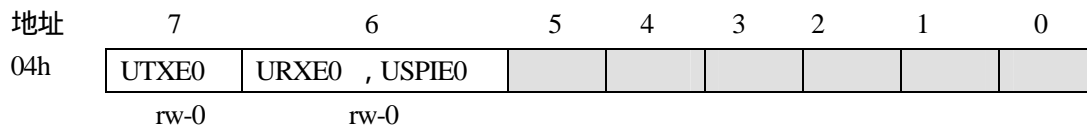
UTXIFG0：USART0，UART，和SPI发送标志。



URXIFG1：USART1，UART，和SPI接收标志。

UTXIFG1：USART1，UART，和SPI发送标志。

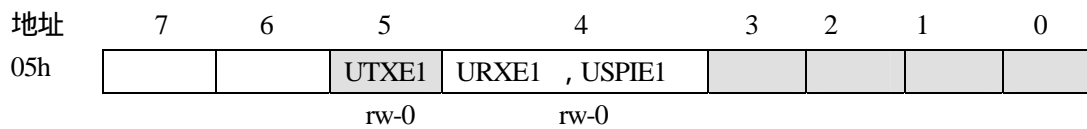
模块使能寄存器1和2



URXE0：USART0，UART接收使能。

UTXE0：USART0，UART发送使能。

USPIE0：USART0，SPI(同步外设接口)发送和接收使能。



URXE1：USART1，UART接收使能。

UTXE1：USART1，UART发送使能。

USPIE1：USART1，SPI(同步外设接口)发送和接收使能。

图例：rw：位可读可写

rw-0：位可读可写，由PUC复位

■：器件中不存在的SFR位

存储器组织

		MSP430F133	MSP430F135	MSP430F147/ MSP430F1471	MSP430F148/ MSP430F1481	MSP430F149/ MSP430F1491
Memory	Size	8KB	16KB	32KB	48KB	60KB
	Flash	0FFFFh - 0FFEDh	0FFFFh - 0FFEDh	0FFFFh - 0FFEDh	0FFFFh - 0FFEDh	0FFFFh - 0FFEDh
Main: interrupt vector	Flash	0FFFFh - 0E000h	0FFFFh - 0C000h	0FFFFh - 0B000h	0FFFFh - 04000h	0FFFFh - 01100h
Main: code memory	Flash	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h
	Information memory	256 Byte	256 Byte	256 Byte	256 Byte	256 Byte
Boot memory	Flash	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h	010FFh - 01000h
	Size	1KB	1KB	1KB	1KB	1KB
RAM	ROM	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h	0FFFh - 0C00h
	Size	256 Byte	512 Byte	1KB	2KB	2KB
Peripherals	16-bit	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h	01FFh - 0100h
	8-bit	0FFh - 010h	0FFh - 010h	0FFh - 010h	0FFh - 010h	0FFh - 010h
	8-bit SFR	0Fh - 00h	0Fh - 00h	0Fh - 00h	0Fh - 00h	0Fh - 00h

内含引导程序装载程序(bootstrap loader)的引导ROM

引导程序装载程序的目的是把数据下载到闪速存储器中。各种写，读和擦除操作需要正确的下载环境。引导装载程序仅在F版本的器件上可用。

引导装载程序的功能：

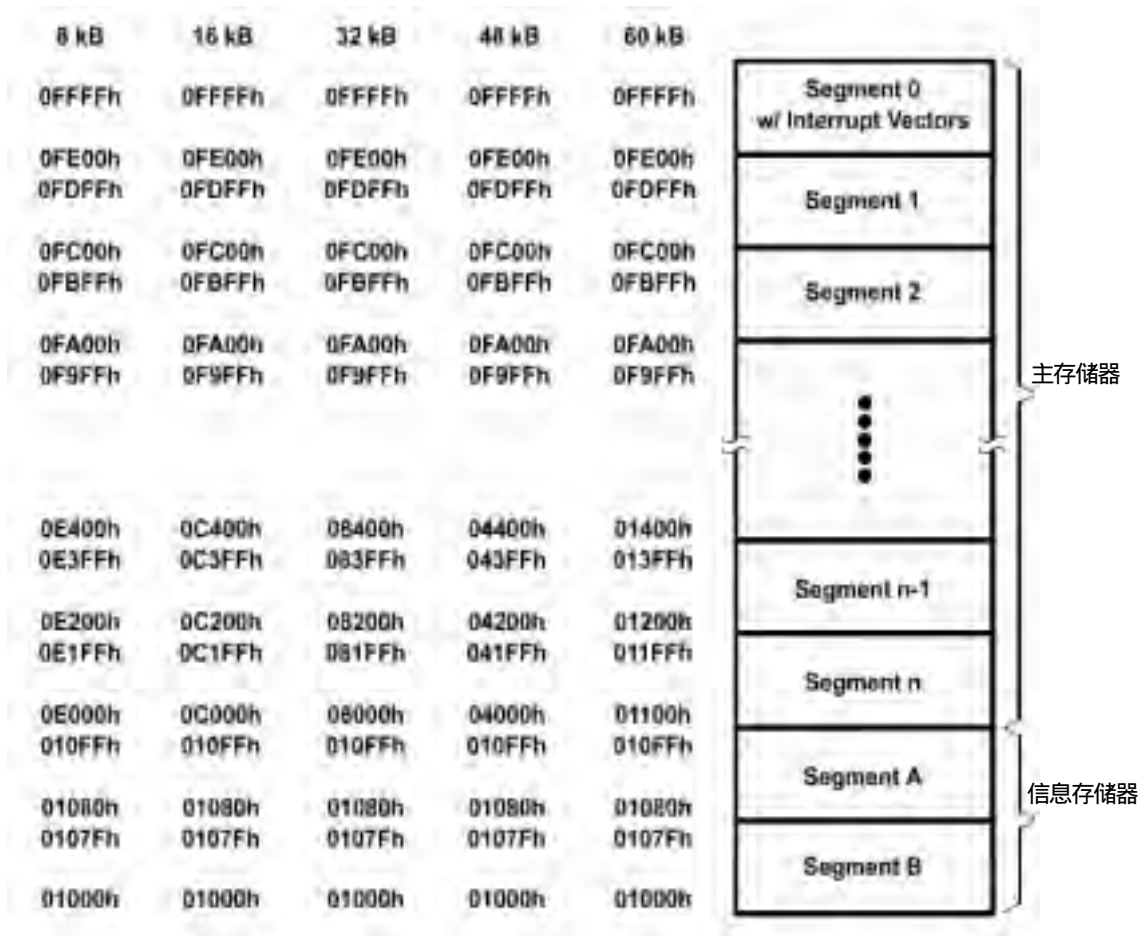
BSL Function	PM & PAG Pin
Data Transmit	13 - P1.1
Data Receive	22 - P2.2

读定义：将外设寄存器或存储器的数据施加并发送到引脚P1.1上(BSLTX)。

写定义：从引脚P2.2(BSLRX)读数据并把他们写进闪速存储器。

闪速存储器

- 闪速存储器有n段主存储器和每段128字节的两段信息存储器(A和B)，主存储器每个段长为512字节。
- 段0到n可以一步擦除，也可以每段分别擦除。
- 段A和B可以分别擦除，或与段0到n作为一组擦除。
- 安全熔丝烧断是不可逆的;然后对JTAG进一步的访问完全不可能。
- 编程/擦除电压的内部产生：无须使用任何外部元件，但是VCC需求的电源电流增大。
- 编程和擦除定时由闪速存储器中的硬件控制无需软件干涉。
- 控制硬件被成为闪速定时发生器，其输入频率应该处于合适的频率范围内，并应一直保持直到写/编程和擦除操作完成。
- 在编程和擦除期间，没有代码能从闪速存储器执行，而且通过设置GIE，NMIE，ACCVIE和OFIE位为0，必须禁止所有中断。如果一个用户程序需要与一个闪速编程和擦除程序并发执行，该程序必须从闪速存储器以外的存储器执行(例如引导ROM，RAM)。在程序计数器指向闪速存储器时，如果发生一个闪速存储器编程或擦除操作事件，CPU将执行JMP \$ 指令直到闪速编程或擦除操作完成；然后先前运行的软件继续正常执行。
- 未编程的新器件在信息存储器中可能有一些已经编程的字节(用于生产期间的测试)，在首次使用之前用户应该执行一次对信息存储器的擦除。





外围设备

外设通过数据、地址和控制总线连接到 CPU，并能容易地用内存操作指令处理。

数字 I/O

有 6 个已实现的 8 位端口-P1 到 P6。端口 P1 和 P2 用 7 个控制寄存器，端口 P3，P4，P5，P6 仅使用 4 个寄存器，为应用提供数字输入/输出的最大灵活性：

- 所有单个 I/O 口可独立编程。
- 任何输入输出和中断条件的组合都是可能的。
- 端口 P1 和 P2 的所有 8 位对外部事件的中断处理完全实现。
- 利用所有指令对所有寄存器的读/写访问都是可能的。

振荡器和系统时钟

三个时钟被用于系统--由 CPU 和系统使用的主系统(主)时钟(MCLK)，由外设模块使用的子系统(主)时钟(SMCLK)，和源自 LFXT1CLK(晶体频率)，用于周边模块的辅助时钟(ACLK)。

一次 POR 之后，DCOCLK 被默认使用，DCOR 位被复位，DCO 位被设置到标称初始频率。另外，无论 LFXT1CLK(由 XTS=1 选择 XT1 模式)或 XT2CLK 产生 MCLK 失败，DCOCLK 被自动选择以确保可靠工作。

SMCLK 能够从 LFXT2CLK 或者 DCOCLK 产生。ACLK 常由 LFXT1CLK 产生。

看门狗定时器

看门狗定时器(WDT)模块的主要功能是在软件发生混乱之后执行一次受控系统重启。如果选定的时间间隔到期，发生一次系统复位。如果应用中不需要看门狗功能，看门狗定时器模块也可以作为一个定时器使用。

看门狗定时器计数器(WDTCNT)是一个 15/16 位增计数器，它不能由软件直接访问，WDTCNT 利用看门狗定时器控制寄存器(WDCTL)来控制，它是一个 8 位的读/写寄存器。在两种工作方式(看门狗或定时器)中，对 WDCTL 的写入，只有在高字节中使用正确的口令(05Ah)才有可能。

任何 05Ah 以外的数值写入 WDCTL 的高字节，将产生一次系统复位 PUC，读出的口令是 069h，最小化对 WDCTL 寄存器的意外写操作，除了看门狗定时器的控制位外，还有两位也包含在 WDCTL 寄存器中，用于配置 NMI 引脚。

乘法 (仅 MSP430X14X, MSP430X14X1)

乘法操作由一个专门的外围模块支持，模块执行 16x16，16x8，8x16，8x8 位操作，模块能够支持有符号和无符号乘法以及有符号和无符号的乘加操作，在操作数装载到外设寄存器以后，操作结果能够被立即访问，无需另外的时钟周期。

USART0 和 USART1

在 MSP430X14X (1) 中有两个已实现的 USART 外设：USART0 和 USART1；但是在 MSP430X13X 的配置中仅有一个：USART0。两者具有相同的功能，在 MSP430X1XX User's Guide 的适当章节中有说明。他们用不同的引脚通信，用不同的寄存器控制模块。相同功能的寄存器具有不同的地址。

通用同步/异步接口是一个用于串行通信的专门的外设模块，利用双缓冲的发送和接收通道，USART 支持同步 SPI(3 或 4 个脚)，和异步 UART 通信协议，7 位或 8 位长度的数据流能够按一个由程序或外部时钟确定的速率传送。UART 模块选项允许仅接收一个完整帧的第一个字节，低功率应用得以优化，然后应用软件应该判决是否处理了成功的数据，这个选项减小了功率消耗。

两个专用向量被分配给每一个 USART 模块-一个用于接收通道，一个用于发送通道。



定时器_A(三个比较/捕获寄存器)

定时器_A 模块提供一个十六位计数器和三个捕获/比较寄存器。定时器时钟源可以从两个外部源 P1.0/TACLK(SSEL=0)或 P2.1/INCLK(SSEL=3)选择, 或从两个内部源 ACLK(SSEL=1)或 SMCLK(SSEL=2)选择。时钟源可以被 1、2、4 或 8 分频; 定时器可以完全得到控制(用字方式)–它可以停止读和写; 它可以被停止, 连续运行, 增计数或增/减计数, 使用一个比较块来确定周期, 这三个捕获/比较块可通过应用程序配置以运行于捕获或比较方式。

捕获方式主要用于利用信号的正沿、负沿或正负沿的任一组合, 测量外部或内部事件也可以由软件停止; 三个不同的外部事件可以选择: TA0、TA1 和 TA2。在捕获/比较寄存器 CCR2 中, 如果选择 CCI2B, ACLK 就是俘获信号, 如果 CCISx=2 或 CCISx=3 软件俘获被选中。

比较方式主要用于为软件或应用硬件产生定时, 或为象 D/A 转换功能或马达控制等各种用途产生脉宽调制 (PWM) 输出信号, 独立的输出模块被分配给三个俘获/比较寄存器的每一个, 模块可独立运行于比较功能, 或以各种方式触发。

两个中断矢量由模块使用, 一个矢量分配给捕获/比较块 CCR0, 一个共用中断矢量用于定时器和另外两个俘获/比较块, 三个中断事件使用相同的矢量, 由各自的中断矢量字来识别; 中断矢量字用于为程序计数器增加一个偏移, 这样中断处理软件在在相应的程序位置继续运行, 这简化了中断处理程序, 同时给每个中断事件带来相同的五个周期的经常开销。

Timer_A3

一个 16 位带三个捕获/比较寄存器的定时器/计数器, Timer_B3 可以支持多捕获/比较, PWM 输出。

Timer_A3 Signal Connections					
Input Pin Number	Device Input Signal	Module Input Name	Module Output Signal	Output Pin Number	
12 - P1.0	TACLK	TACLK	NA		
	ACLK	ACLK			
	SMCLK	SMCLK			
21 - P2.1	TAINCLK	INCLK			
13 - P1.1	TA0	CCI0A	TA0	13 - P1.1	
	22 - P2.2	TA0		CCI0B	17 - P1.5
		DVss		GND	22 - P2.2
		DVcc		Vcc	27 - P2.7
14 - P1.2	TA1	CCI1A	TA1	14 - P1.2	
		CAOUT (internal)		CCI1B	18 - P1.6
		DVss		GND	23 - P2.3
		DVcc		Vcc	ADC12 (internal)
15 - P1.3	TA2	CCI2A	TA2	15 - P1.3	
		ACLK (internal)		CCI2B	19 - P1.7
		DVss		GND	24 - P2.4
		DVcc		Vcc	

Timer_B3(在 MSP430x13x 中)

Timer_B3 是一个 16 位带三个捕获/比较寄存器的定时器/计数器, Timer_B3 可以支持多捕获/比较; PWM 输出。

定时器模块有一个 16 位计数器和 7 个捕获/比较寄存器。定时器时钟源可以从外部时钟源 TBCLK(SSEL=0 或 3)或两个内部时钟源 ACLK(SSEL=1)和 SMCLK(SSEL=2)选择, 时钟源可以被 1、2、4 或 8 分频; 定时器可以被完全控制(用字方式): 它可以被暂停, 读和写; 它可以被停止, 连续运行, 增计数或增/减计数, 使用一个比较块来确定周期, 这 7 个捕获/比较块可通过应用程序配置成在捕获或比较方式运行。

捕获方式主要用于从信号的正沿、负沿或正负沿的任一组合, 测量外部或内部事件, 也可以通过软件停止,



有 7 个不同的外部事件 TB0 到 TB6 可以选择。在捕获/比较寄存器 CCR6 中，如果 CCI6B 被选中，俘获信号是 ACLK。如果 CCISx=2 或 CCISx=3，选择软件俘获。

Timer_B7 (仅 MSP430X14X, MSP430X14X1)

Timer_B3/B7 Signal Connections†				
Input Pin Number	Device Input Signal	Module Input Name	Module Output Signal	Output Pin Number
43 - P4.7	TBCLK	TBCLK	NA	
	ACLK	ACLK		
	SMCLK	SMCLK		
43 - P4.7	TBCLK	INCLK		
36 - P4.0	TB0	CCI0A	TB0	36 - P4.0
	TB0	CCI0B		ADC12 (internal)
	DVss	GND		
	DVcc	Vcc		
37 - P4.1	TB1	CCI1A	TB1	37 - P4.1
	TB1	CCI1B		ADC12 (internal)
	DVss	GND		
	DVcc	Vcc		
38 - P4.2	TB2	CCI2A	TB2	38 - P4.2
	TB2	CCI2B		
	DVss	GND		
	DVcc	Vcc		
39 - P4.3	TB3	CCI3A	TB3	39 - P4.3
	TB3	CCI3B		
	DVss	GND		
	DVcc	Vcc		
40 - P4.4	TB4	CCI4A	TB4	40 - P4.4
	TB4	CCI4B		
	DVss	GND		
	DVcc	Vcc		
41 - P4.5	TB5	CCI5A	TB5	41 - P4.5
	TB5	CCI5B		
	DVss	GND		
	DVcc	Vcc		
42 - P4.6	TB6	CCI6A	TB6	42 - P4.6
		ACLK (internal)		CCI6B
		DVss		GND
		DVcc		Vcc

比较器 A

比较器模块的主要功能是支持 A/D 应用中的精密斜率转换，电池电压监管，和外部模拟信号监控。比较器被连接到端口引脚 P2.3(正端)和 P2.4(负端)。比较器通过 CACTL 寄存器中的 8 个位控制。

A/D 转换器

12 位模数转换器(ADC)使用一个 10 位加权电容阵列加一个 2 位电阻串列，逐次逼近转换器技术中的 CMOS 门限检测器通过检查一连串二进制加权电容上的电荷，确定每一个位。



外围设备模块图

PERIPHERALS WITH WORD ACCESS			
Watchdog	Watchdog Timer control	WDTCTL	0120h
Timer_B7 Timer_B3 (see Note 1)	Timer_B interrupt vector	TBIV	011Eh
	Timer_B control	TBCTL	0180h
	Capture/compare control 0	TBCCTL0	0182h
	Capture/compare control 1	TBCCTL1	0184h
	Capture/compare control 2	TBCCTL2	0186h
	Capture/compare control 3	TBCCTL3	0188h
	Capture/compare control 4	TBCCTL4	018Ah
	Capture/compare control 5	TBCCTL5	018Ch
	Capture/compare control 6	TBCCTL6	018Eh
	Timer_B register	TBR	0190h
	Capture/compare register 0	TBCCR0	0192h
	Capture/compare register 1	TBCCR1	0194h
	Capture/compare register 2	TBCCR2	0196h
	Capture/compare register 3	TBCCR3	0198h
	Capture/compare register 4	TBCCR4	019Ah
	Capture/compare register 5	TBCCR5	019Ch
	Capture/compare register 6	TBCCR6	019Eh
Timer_A3	Timer_A interrupt vector	TAIV	012Eh
	Timer_A control	TACTL	0160h
	Capture/compare control 0	TACCTL0	0162h
	Capture/compare control 1	TACCTL1	0164h
	Capture/compare control 2	TACCTL2	0166h
	Reserved		0168h
	Reserved		016Ah
	Reserved		016Ch
	Reserved		016Eh
	Timer_A register	TAR	0170h
	Capture/compare register 0	TACCR0	0172h
	Capture/compare register 1	TACCR1	0174h
	Capture/compare register 2	TACCR2	0176h
	Reserved		0178h
	Reserved		017Ah
Reserved		017Ch	
Reserved		017Eh	
Multiply (MSP430x14x only)	Sum extend	SUMEXT	013Eh
	Result high word	RESHI	013Ch
	Result low word	RESLO	013Ah
	Second operand	OP2	0138h
	Multiply signed+accumulate/operand1	MACS	0136h
	Multiply+accumulate/operand1	MAC	0134h
	Multiply signed/operand1	MPYS	0132h
	Multiply unsigned/operand1	MPY	0130h

注释：Timer_B7 在 MSPX14X 系列中有 7 个 CCR，Timer_B3 在 MSP430X13X 系列中有 3 个 CCR



外围设备模块图 (续)

PERIPHERALS WITH WORD ACCESS (CONTINUED)			
Flash	Flash control 3	FCTL3	012Ch
	Flash control 2	FCTL2	012Ah
	Flash control 1	FCTL1	0128h
ADC12 <i>See also Peripherals with Byte Access</i>	Conversion memory 15	ADC12MEM15	015Eh
	Conversion memory 14	ADC12MEM14	015Ch
	Conversion memory 13	ADC12MEM13	015Ah
	Conversion memory 12	ADC12MEM12	0158h
	Conversion memory 11	ADC12MEM11	0156h
	Conversion memory 10	ADC12MEM10	0154h
	Conversion memory 9	ADC12MEM9	0152h
	Conversion memory 8	ADC12MEM8	0150h
	Conversion memory 7	ADC12MEM7	014Eh
	Conversion memory 6	ADC12MEM6	014Ch
	Conversion memory 5	ADC12MEM5	014Ah
	Conversion memory 4	ADC12MEM4	0148h
	Conversion memory 3	ADC12MEM3	0146h
	Conversion memory 2	ADC12MEM2	0144h
	Conversion memory 1	ADC12MEM1	0142h
	Conversion memory 0	ADC12MEM0	0140h
	Interrupt-vector-word register	ADC12IV	01A8h
	Inerrupt-enable register	ADC12IE	01A6h
	Inerrupt-flag register	ADC12IFG	01A4h
	Control register 1	ADC12CTL1	01A2h
Control register 0	ADC12CTL0	01A0h	
ADC12	ADC memory-control register15	ADC12MCTL15	08Fh
	ADC memory-control register14	ADC12MCTL14	08Eh
	ADC memory-control register13	ADC12MCTL13	08Dh
	ADC memory-control register12	ADC12MCTL12	08Ch
	ADC memory-control register11	ADC12MCTL11	08Bh
	ADC memory-control register10	ADC12MCTL10	08Ah
	ADC memory-control register9	ADC12MCTL9	089h
	ADC memory-control register8	ADC12MCTL8	088h
	ADC memory-control register7	ADC12MCTL7	087h
	ADC memory-control register6	ADC12MCTL6	086h
	ADC memory-control register5	ADC12MCTL5	085h
	ADC memory-control register4	ADC12MCTL4	084h
	ADC memory-control register3	ADC12MCTL3	083h
	ADC memory-control register2	ADC12MCTL2	082h
	ADC memory-control register1	ADC12MCTL1	081h
	ADC memory-control register0	ADC12MCTL0	080h



外围设备模块图 (续)

PERIPHERALS WITH BYTE ACCESS			
UART1 (Only in 'x14x)	Transmit buffer	UTXBUF.1	07Fh
	Receive buffer	URXBUF.1	07Eh
	Baud rate	UBR1.1	07Dh
	Baud rate	UBR0.1	07Ch
	Modulation control	UMCTL.1	07Bh
	Receive control	URCTL.1	07Ah
	Transmit control	UTCTL.1	079h
	UART control	UCTL.1	078h
UART0	Transmit buffer	UTXBUF.0	077h
	Receive buffer	URXBUF.0	076h
	Baud rate	UBR1.0	075h
	Baud rate	UBR0.0	074h
	Modulation control	UMCTL.0	073h
	Receive control	URCTL.0	072h
	Transmit control	UTCTL.0	071h
	UART control	UCTL.0	070h
Comparator_A	Comp._A port disable	CAPD	05Bh
	Comp._A control2	CACTL2	05Ah
	Comp._A control1	CACTL1	059h
System Clock	Basic clock system control2	BCSCTL2	058h
	Basic clock system control1	BCSCTL1	057h
	DCO clock frequency control	DCOCTL	056h
Port P6	Port P6 selection	P6SEL	037h
	Port P6 direction	P6DIR	036h
	Port P6 output	P6OUT	035h
	Port P6 input	P6IN	034h
Port P5	Port P5 selection	P5SEL	033h
	Port P5 direction	P5DIR	032h
	Port P5 output	P5OUT	031h
	Port P5 input	P5IN	030h
Port P4	Port P4 selection	P4SEL	01Fh
	Port P4 direction	P4DIR	01Eh
	Port P4 output	P4OUT	01Dh
	Port P4 input	P4IN	01Ch
Port P3	Port P3 selection	P3SEL	01Bh
	Port P3 direction	P3DIR	01Ah
	Port P3 output	P3OUT	019h
	Port P3 input	P3IN	018h
Port P2	Port P2 selection	P2SEL	02Eh
	Port P2 interrupt enable	P2IE	02Dh
	Port P2 interrupt-edge select	P2IES	02Ch
	Port P2 interrupt flag	P2IFG	02Bh
	Port P2 direction	P2DIR	02Ah
	Port P2 output	P2OUT	029h
	Port P2 input	P2IN	028h



PERIPHERALS WITH BYTE ACCESS			
Port P1	Port P1 selection	P1SEL	026h
	Port P1 interrupt enable	P1IE	025h
	Port P1 interrupt-edge select	P1IES	024h
	Port P1 interrupt flag	P1IFG	023h
	Port P1 direction	P1DIR	022h
	Port P1 output	P1OUT	021h
	Port P1 input	P1IN	020h
Special Functions	SFR module enable 2	ME2	005h
	SFR module enable 1	ME1	004h
	SFR interrupt flag2	IFG2	003h
	SFR interrupt flag1	IFG1	002h
	SFR interrupt enable2	IE2	001h
	SFR interrupt enable1	IE1	000h

工作自由空气温度条件下的极限参数：

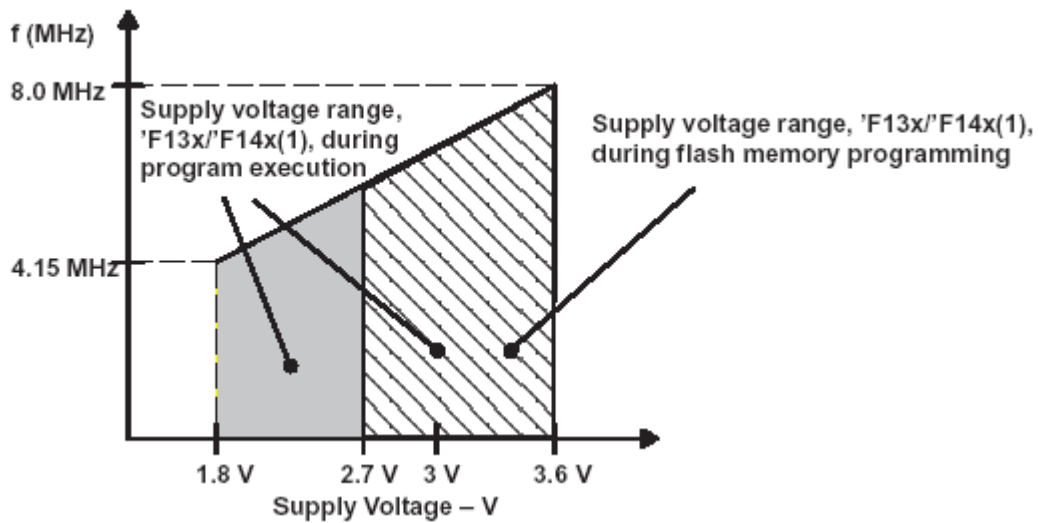
- 作用于 Vcc 到 Vss 的电压.....-0.3V 到 4.1V
- 作用于任何引脚的电压（相对于 Vss）.....-0.3V 到 Vcc + 0.3V
- 芯片终端的二极管电流..... ± 2mA
- 储存温度，Tstg（未编程芯片）.....-55 到 150
- 储存温度，Tstg（已编程芯片）.....-40 到 85

超过最大绝对额定值中列出的条件可能引起芯片永久性的损坏。这些只是额定的极限，并不代表芯片在超出“推荐运行条件”之外的条件下芯片能够正常运行。在一段时期内暴露在最大绝对额定值将影响芯片的可靠性。

PARAMETER		MIN	NOM	MAX	UNITS
Supply voltage during program execution, V _{CC} (AV _{CC} = DV _{CC} = V _{CC})	MSP430F13x MSP430F14x(1)	1.8		3.6	V
Supply voltage during flash memory programming, V _{CC} (AV _{CC} = DV _{CC} = V _{CC})	MSP430F13x MSP430F14x(1)	2.7		3.6	V
Supply voltage, V _{SS} (AV _{SS} = DV _{SS} = V _{SS})		0.0		0.0	V
Operating free-air temperature range, T _A	MSP430x13x MSP430x14x(1)	-40		85	°C
LFXT1 crystal frequency, f _(LFXT1) (see Notes 1 and 2)	LF selected, XTS=0 Watch crystal		32768		Hz
	XT1 selected, XTS=1 Ceramic resonator	450		8000	kHz
	XT1 selected, XTS=1 Crystal	1000		8000	kHz
XT2 crystal frequency, f _(XT2)	Ceramic resonator	450		8000	kHz
	Crystal	1000		8000	kHz
Processor frequency (signal MCLK), f _(system)	V _{CC} = 1.8 V	DC		4.15	MHz
	V _{CC} = 3.6 V	DC		8	MHz
Flash timing generator frequency, f _(FTG)	MSP430F13x MSP430F14x(1)	257		476	kHz
Cumulative program time, t _(CPT) (see Note 3)	V _{CC} = 2.7 V/3.6 V MSP430F13x MSP430F14x(1)			4	ms
Mass erase time, t _(MERas) (See also the flash memory timing generator control register FCTL2 section, see Note 4)	V _{CC} = 2.7 V/3.6 V	200			ms
Low-level input voltage (TCK, TMS, TDI, RST/NMI), V _{IL} (excluding XIN, XOUT)	V _{CC} = 2.2 V/3 V	V _{SS}		V _{SS} + 0.6	V
High-level input voltage (TCK, TMS, TDI, RST/NMI), V _{IH} (excluding XIN, XOUT)	V _{CC} = 2.2 V/3 V	0.8V _{CC}		V _{CC}	V
Input levels at XIN and XOUT	V _{IL(XIN, XOUT)}	V _{CC} = 2.2 V/3 V		V _{SS}	V
	V _{IH(XIN, XOUT)}		0.8-V _{CC}	V _{CC}	



推荐工作条件



MSP430F13X 或 MSP430F14X (1) 频率和电压曲线图

推荐工作自由空气温度条件下的电参数 (除非另外注明)

不包括外部电流, 流进 $AV_{CC}+DV_{CC}$ 的电源电流 $F_{SYSTEM}=1MHz$

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
I(AA) Active mode, (see Note 1) $f(MCLK) = f(SMCLK) = 1\text{ MHz}$ $f(ACLK) = 32,768\text{ Hz}$ XTS=0, SELM=(0,1)	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	280	360	μA
		$V_{CC} = 3\text{ V}$	480	600	
I(AM) Active mode, (see Note 1) $f(MCLK) = f(SMCLK) = 4,096\text{ Hz}$ $f(ACLK) = 4,096\text{ Hz}$ XTS=0, SELM=(0,1) XTS=0, SELM=5	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	25	7	μA
		$V_{CC} = 3\text{ V}$	8	30	
I(LPM0) Low-power mode, (LPM0) (see Note 1)	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	32	45	μA
		$V_{CC} = 3\text{ V}$	35	70	
I(LPM2) Low-power mode, (LPM2) $f(MCLK) = f(SMCLK) = 0\text{ MHz}$ $f(ACLK) = 32,768\text{ Hz}$, SCG0 = 0	$T_A = -40^\circ\text{C to } 85^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	11	14	μA
		$V_{CC} = 3\text{ V}$	17	22	
I(LPM3) Low-power mode, (LPM3) $f(MCLK) = f(SMCLK) = 0\text{ MHz}$ $f(ACLK) = 32,768\text{ Hz}$, SCG0 = 1 (see Note 2)	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	0.8	1.5	μA
	$T_A = 25^\circ\text{C}$		0.9	1.5	
	$T_A = 85^\circ\text{C}$		1.6	2.8	
	$T_A = -40^\circ\text{C}$	$V_{CC} = 3\text{ V}$	1.8	2.2	μA
	$T_A = 25^\circ\text{C}$		1.6	1.8	
	$T_A = 85^\circ\text{C}$		2.9	3.8	
I(LPM4) Low-power mode, (LPM4) $f(MCLK) = 0\text{ MHz}$, $f(SMCLK) = 0\text{ MHz}$ $f(ACLK) = 0\text{ Hz}$, SCG0 = 1	$T_A = -40^\circ\text{C}$	$V_{CC} = 2.2\text{ V}$	0.1	0.5	μA
	$T_A = 25^\circ\text{C}$		0.1	0.5	
	$T_A = 85^\circ\text{C}$		0.8	2.5	
	$T_A = -40^\circ\text{C}$	$V_{CC} = 3\text{ V}$	0.1	0.5	μA
	$T_A = 25^\circ\text{C}$		0.1	0.5	
	$T_A = 85^\circ\text{C}$		0.8	2.5	



推荐工作自由空气温度条件下的电参数（除非另外注明）(续)

活动模式下电流消耗相对于系统频率

$$I_{(AM)} = I_{(AM)} [1 \text{ MHz}] \cdot f(\text{System}) [\text{MHz}]$$

活动模式下电流消耗相对于供电电压

$$I_{(AM)} = I_{(AM)} [3 \text{ V}] + 175 \mu\text{A/V} \cdot (V_{CC} - 3 \text{ V})$$

施密特触发器输入端口 P1、P2、P3、P4、P5、P6；

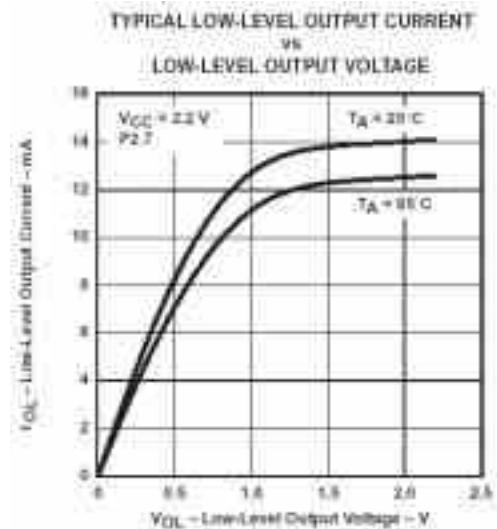
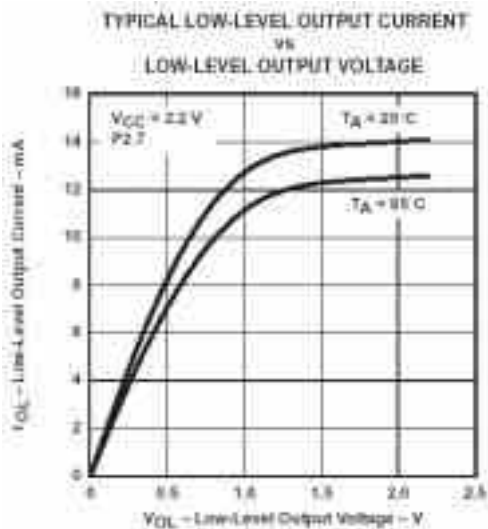
参 数	检测条件	最大值	典型	最小	单位
V _{IT+} positive-going input threshold voltage	V _{CC} =2.2V	1.1		1.5	V
	V _{CC} =3V	1.5		1.9	
V _{IT-} negative-going input threshold voltage	V _{CC} =2.2V	0.4		0.9	V
	V _{CC} =3V	0.9		1.3	
V _{hys} input voltage hysteresis(V _{IT+} —V _{IT-})	V _{CC} =2.2V	0.3		1.1	V
	V _{CC} =3V	0.5		1	

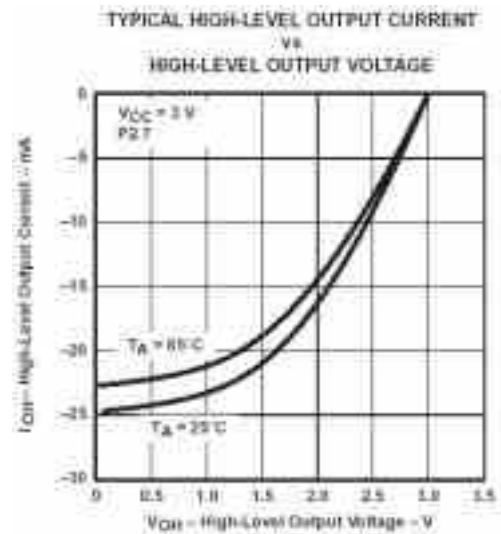
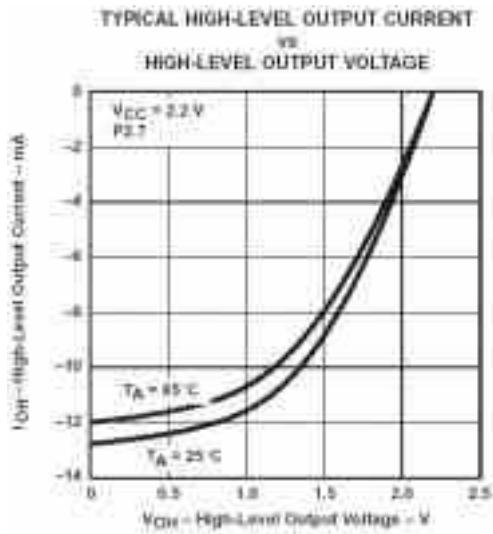
标准输入 RST/NMI, JTAG, TCK, TMS, TDI, TDO

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{IL} Low-level input voltage	V _{CC} = 2.2 V / 3 V	V _{SS}		V _{SS} +0.6	V
V _{IH} High-level input voltage		0.8×V _{CC}		V _{CC}	V

输出端口 P1、P2、P3、P4、P5 和 P6

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
V _{OH} High-level output voltage	I _{OH(max)} = -1 mA, V _{CC} = 2.2 V, See Note 1	V _{CC} -0.25		V _{CC}	V
	I _{OH(max)} = -6 mA, V _{CC} = 2.2 V, See Note 2	V _{CC} -0.6		V _{CC}	
	I _{OH(max)} = -1 mA, V _{CC} = 3 V, See Note 1	V _{CC} -0.25		V _{CC}	
	I _{OH(max)} = -6 mA, V _{CC} = 3 V, See Note 2	V _{CC} -0.6		V _{CC}	
V _{OL} Low-level output voltage	I _{OL(max)} = 1.5 mA, V _{CC} = 2.2 V, See Note 1	V _{SS}		V _{SS} +0.25	V
	I _{OL(max)} = 6 mA, V _{CC} = 2.2 V, See Note 2	V _{SS}		V _{SS} +0.6	
	I _{OL(max)} = 1.5 mA, V _{CC} = 3 V, See Note 1	V _{SS}		V _{SS} +0.25	
	I _{OL(max)} = 6 mA, V _{CC} = 3 V, See Note 2	V _{SS}		V _{SS} +0.6	





频率输出

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{TAx}	TA0, 2; TB0-TB6, Internal clock source, SMCLK signal applied (see Note 1)	DC	f_{System}		MHz
f_{ACLK} , f_{MCLK} , f_{SMCLK}	P5.6/ACLK, P5.4/MCLK, P5.5/SMCLK $C_L = 20\text{ pF}$		f_{System}		
t_{Xdc}	P2.0/ACLK $C_L = 20\text{ pF}$ $V_{CC} = 2.2\text{ V} / 3\text{ V}$	$f_{ACLK} = f_{LFX1} = f_{XT1}$	40%	60%	
		$f_{ACLK} = f_{LFX1} = f_{LF}$	30%	70%	
		$f_{ACLK} = f_{LFX1m}$		50%	
	P1.4/SMCLK $C_L = 20\text{ pF}$ $V_{CC} = 2.2\text{ V} / 3\text{ V}$	$f_{SMCLK} = f_{LFX1} = f_{XT1}$	40%	60%	
		$f_{SMCLK} = f_{LFX1} = f_{LF}$	35%	65%	
		$f_{SMCLK} = f_{LFX1m}$	50% -15 ns	50% -15 ns	
	$f_{SMCLK} = f_{DCOCLK}$	50% -15 ns	50% -15 ns		

输入 PX, X, TA_x, TB_x

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP	MAX	UNIT
t_{int}	Port P1, P2: P1.x to P2.x, external trigger signal for the interrupt flag. (see Note 1)	2.2 V/3 V	1.5			cycle
		2.2 V	62			ns
		3 V	50			
t_{cap}	TA0, TA1, TA2 (see Note 2)	2.2 V/3 V	1.5			cycle
		2.2 V	62			ns
	TB0, TB1, TB2, TB3, TB4, TB5, TB6 (see Note 3)	3 V	50			
$f_{(TAax)}$	Timer_A, Timer_B clock frequency externally applied to pin	2.2 V			8	MHz
$f_{(TBax)}$		3 V			10	
$f_{(TAint)}$	Timer_A, Timer_B clock frequency	2.2 V			8	MHz
$f_{(BTaint)}$		3 V			10	



唤醒 LPM3

PARAMETER	TEST CONDITIONS		MIN	TYP	MAX	UNIT
t _(LPM3) Delay time	f = 1 MHz	V _{CC} = 2.2 V/3 V			6	μs
	f = 2 MHz				6	
	f = 3 MHz				6	

漏电流

PARAMETER	TEST CONDITIONS			MIN	TYP	MAX	UNIT
I _{leak(P1.x)}	Leakage current (see Note 1)	Port P1	Port 1: V _(P1.x) (see Note 2)	V _{CC} = 2.2 V/3 V		±50	nA
I _{leak(P2.x)}		Port P2	Port 2: V _(P2.3) V _(P2.4) (see Note 2)			±50	
I _{leak(P6.x)}		Port P6	Port 6: V _(P6.x) (see Note 2)			±50	

RAM

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
VRAMh	CPU HALTED (see Note 1)	1.6			V

比较器_A

PARAMETER	TEST CONDITIONS		MIN	TYP	MAX	UNIT	
I _(DD)	Common-mode input voltage	CAON=1, CARSEL=0, CAREF=0	V _{CC} = 2.2 V	25	40	μA	
			V _{CC} = 3 V	45	60		
I _(RefAden/RefSde)		CAON=1, CARSEL=0, CAREF=1/2/3, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2	V _{CC} = 2.2 V	30	50	μA	
			V _{CC} = 3 V	45	71		
V _(IC)	Common-mode input voltage	CAON = 1	V _{CC} = 2.2 V/3 V	0	V _{CC} -1	V	
V _(Ref025) See Figure 6	Voltage @ 0.25 V _{CC} node	PCA0=1, CARSEL=1, CAREF=1, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2. See Figure 6	V _{CC} = 2.2 V/3 V	0.23	0.24	0.25	
V _(Ref050) See Figure 6	Voltage @ 0.5 V _{CC} node	PCA0=1, CARSEL=1, CAREF=2, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2. See Figure 6	V _{CC} = 2.2 V/3 V	0.47	0.48	0.5	
V _(RefVT)		PCA0=1, CARSEL=1, CAREF=3, no load at P2.3/CA0/TA1 and P2.4/CA1/TA2 T _A = 85°C	V _{CC} = 2.2 V	390	480	540	mV
			V _{CC} = 3 V	400	490	550	
V _(offset)	Offset voltage	See Note 2	V _{CC} = 2.2 V/3 V	-30		30	mV
V _(hys)	Input hysteresis	CAON=1	V _{CC} = 2.2 V/3 V	0	0.7	1.4	mV
t _(response LH)		T _A = 25°C, Overdrive 10 mV, Without filter, CAF=0	V _{CC} = 2.2 V	130	210	300	ns
			V _{CC} = 3 V	80	150	240	
		T _A = 25°C, Overdrive 10 mV, With filter, CAF=1	V _{CC} = 2.2 V	1.4	1.9	3.4	μs
			V _{CC} = 3 V	0.9	1.5	2.6	
t _(response HL)		T _A = 25°C, Overdrive 10 mV, without filter, CAF=0	V _{CC} = 2.2 V	130	210	300	ns
			V _{CC} = 3 V	80	150	240	
		T _A = 25°C, Overdrive 10 mV, with filter, CAF=1	V _{CC} = 2.2 V	1.4	1.9	3.4	μs
			V _{CC} = 3 V	0.9	1.5	2.6	

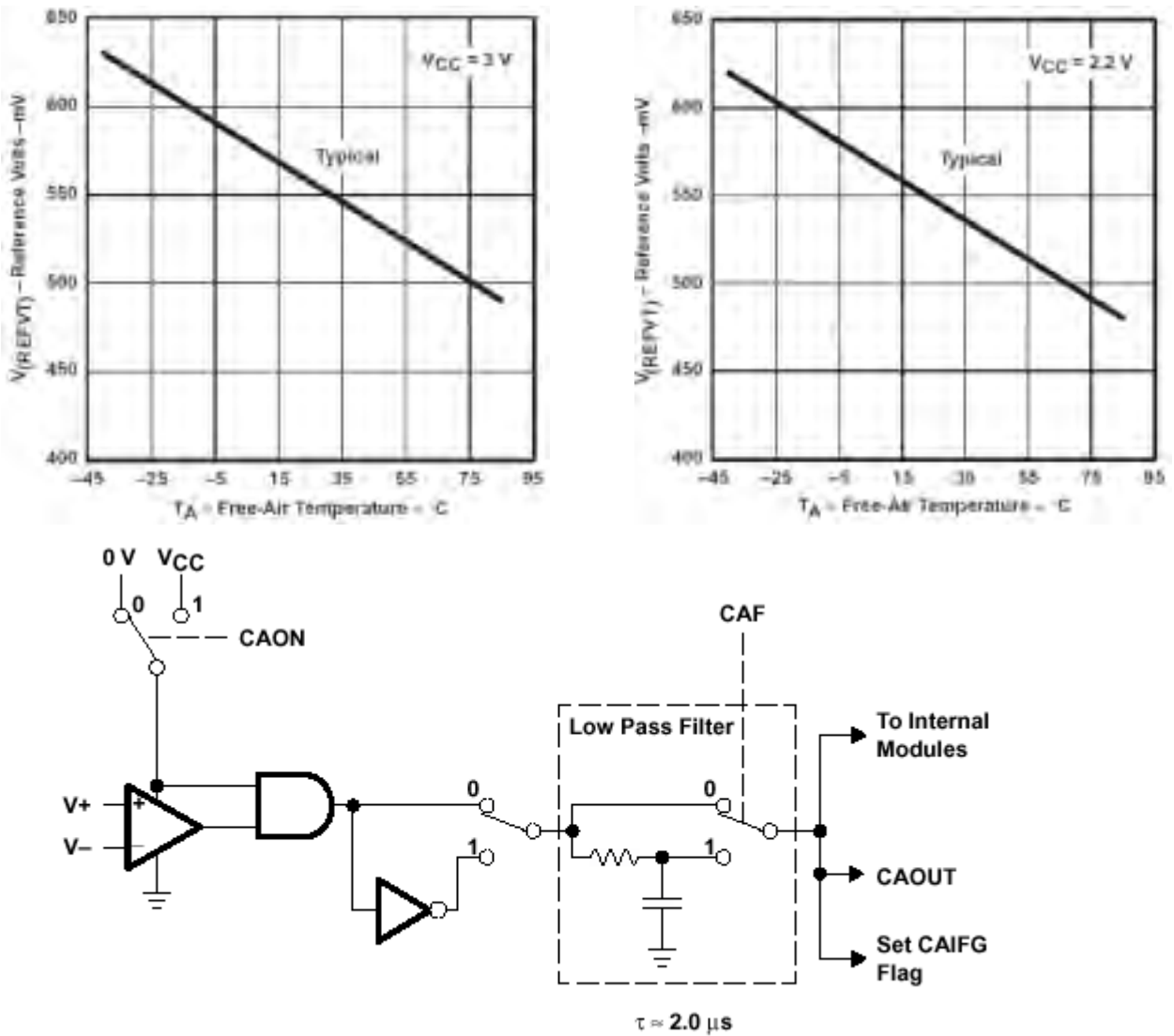


图8 比较器 A 模块的结构框图

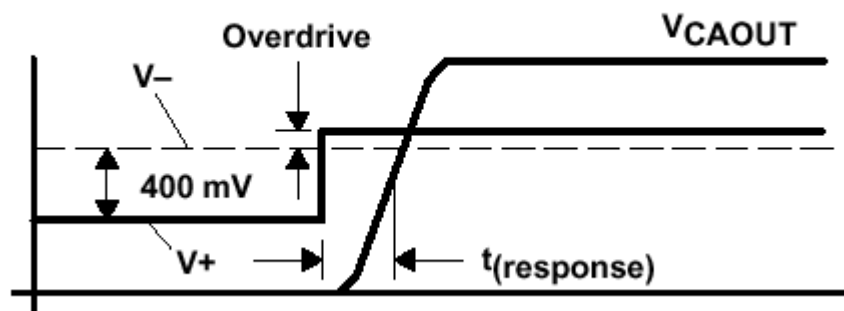


图9 过驱动定义



POR

PARAMETER		CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT
t _i (POR Delay)	POR		2.2 V/3 V		150	250	μs
V _{POR}		T _A = -40°C		1.4		1.8	V
V _{POR}		T _A = +25°C		1.1		1.5	V
V _{POR}		T _A = +85°C		0.8		1.2	V
V _(min)					0		0.4
t _i (Reset)	PUC/POR	Reset is accepted internally	2.2 V/3 V	2			μs

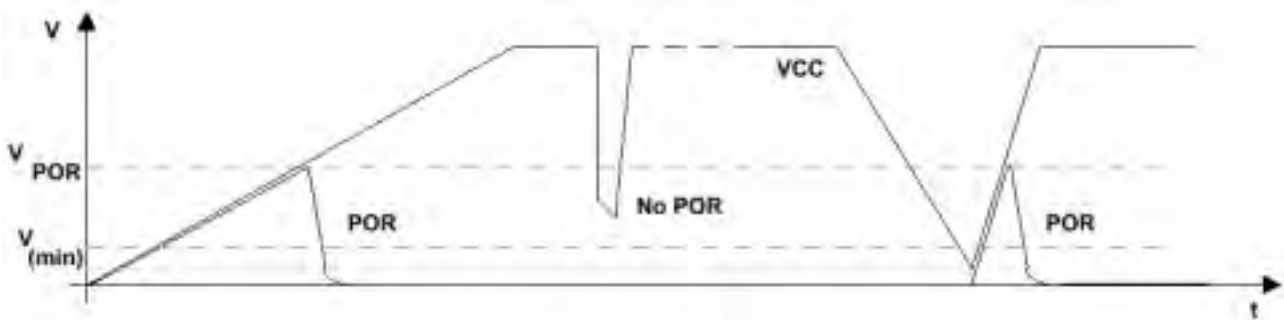


图 10 POR 电源上电复位与供电图

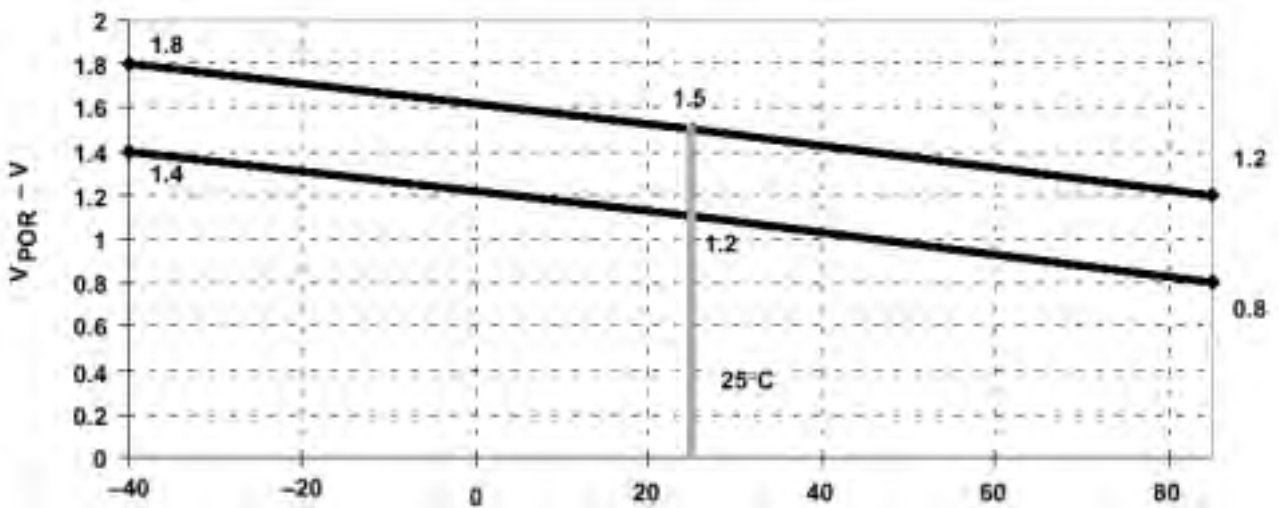


图 11 V_{POR} 与温度示意图

DCO

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
$f_{(DCO03)}$	$R_{sel} = 0, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	0.08	0.12	0.15	MHz
		$V_{CC} = 3 V$	0.08	0.13	0.16	
$f_{(DCO13)}$	$R_{sel} = 1, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	0.14	0.19	0.23	MHz
		$V_{CC} = 3 V$	0.14	0.18	0.22	
$f_{(DCO23)}$	$R_{sel} = 2, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	0.22	0.30	0.36	MHz
		$V_{CC} = 3 V$	0.22	0.28	0.34	
$f_{(DCO33)}$	$R_{sel} = 3, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	0.37	0.49	0.59	MHz
		$V_{CC} = 3 V$	0.37	0.47	0.56	
$f_{(DCO43)}$	$R_{sel} = 4, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	0.61	0.77	0.93	MHz
		$V_{CC} = 3 V$	0.61	0.75	0.90	
$f_{(DCO53)}$	$R_{sel} = 5, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	1	1.2	1.5	MHz
		$V_{CC} = 3 V$	1	1.3	1.5	
$f_{(DCO63)}$	$R_{sel} = 6, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	1.6	1.9	2.2	MHz
		$V_{CC} = 3 V$	1.69	2.0	2.29	
$f_{(DCO73)}$	$R_{sel} = 7, DCO = 3, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	2.4	2.9	3.4	MHz
		$V_{CC} = 3 V$	2.7	3.2	3.65	
$f_{(DCO47)}$	$R_{sel} = 4, DCO = 7, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V/3 V$	$f_{DCO40} \times 1.7$	$f_{DCO40} \times 2.1$	$f_{DCO40} \times 2.5$	MHz
$f_{(DCO77)}$	$R_{sel} = 7, DCO = 7, MOD = 0, DCOR = 0, T_A = 25^\circ C$	$V_{CC} = 2.2 V$	4	4.5	4.9	MHz
		$V_{CC} = 3 V$	4.4	4.9	5.4	
$S_{(Rsel)}$	$S_{(R)} = f_{Rsel+1} / f_{Rsel}$	$V_{CC} = 2.2 V/3 V$	1.35	1.65	2	
$S_{(DCO)}$	$S_{(D)} = f_{DCO+1} / f_{DCO}$	$V_{CC} = 2.2 V/3 V$	1.07	1.12	1.16	
D_T	Temperature drift, $R_{sel} = 4, DCO = 3, MOD = 0$ (see Note 2)	$V_{CC} = 2.2 V$	-0.31	-0.36	-0.40	%/°C
		$V_{CC} = 3 V$	-0.33	-0.38	-0.43	
D_V	Drift with V_{CC} variation, $R_{sel} = 4, DCO = 3, MOD = 0$ (see Note 2)	$V_{CC} = 2.2 V/3 V$	0	5	10	%/V

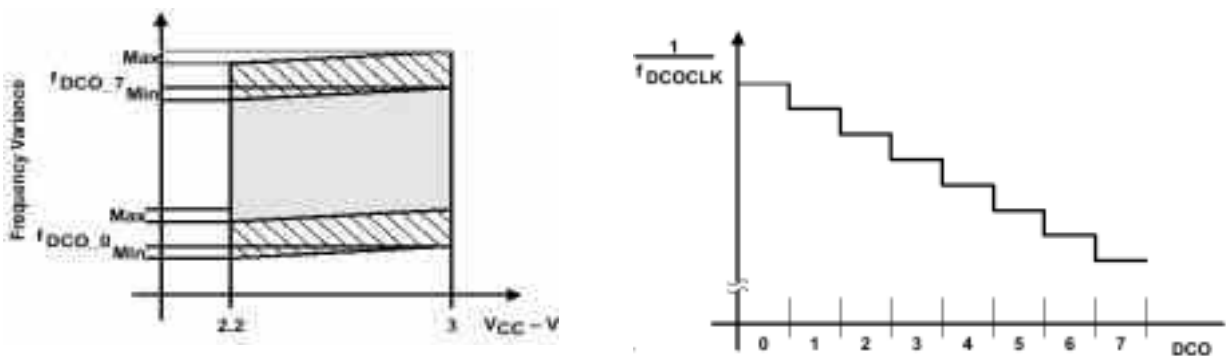


图 12 DCO 特性描述

主要 DCO 特性

个别器件具有一个最小和一个最大工作频率，特殊的变量如 F_{DCOx0} — F_{DCOx7} 对所有器件都是有效的。所有范围选择由 $R_{SEI}(n)$ 和 $R_{SEI}(n+1)$ 交迭。

DCO 有三个控制位 DCO0、DCO1 和 DCO2，其数值的变化对频率的影响由 SDCO 参数决定。调制控制位 MOD0 到 MOD4



晶体振荡器, LFXT1 振荡器

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
X _{CIN}	XTS=0; LF oscillator selected V _{CC} = 2.2 V/3 V		12		pF
	XTS=1; XT1 oscillator selected V _{CC} = 2.2 V/3 V		2		
X _{COU} T	XTS=0; LF oscillator selected V _{CC} = 2.2 V/3 V		12		pF
	XTS=1; XT1 oscillator selected V _{CC} = 2.2 V/3 V		2		
X _{INL}	Input levels at XIN, XOUT V _{CC} = 2.2 V/3 V	V _{SS}		0.2 × V _{CC}	V
X _{INH}	V _{CC} = 2.2 V/3 V	0.8 × V _{CC}		V _{CC}	V

晶体振荡器, XT2 振荡器

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
X _{CIN}	Integrated input capacitance V _{CC} = 2.2 V/3 V		2		pF
X _{COU} T	Integrated output capacitance V _{CC} = 2.2 V/3 V		2		pF
X _{INL}	Input levels at XIN, XOUT V _{CC} = 2.2 V/3 V	V _{SS}		0.2 × V _{CC}	V
X _{INH}	V _{CC} = 2.2 V/3 V	0.8 × V _{CC}		V _{CC}	V

USART0, USART1

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
t _(r)	USART0/1: deglitch time V _{CC} = 2.2 V	200	430	800	ns
	V _{CC} = 3 V	150	280	500	

12 位 ADC, 供电和输入条件范围

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
V _{AVCC}	Analog supply voltage AV _{CC} and DV _{CC} are connected together AV _{SS} and DV _{SS} are connected together V _(AVSS) = V _(DVSS) = 0 V	2.2		3.6	V
V _(P6.0/AD)	Analog input voltage range (see Note 2) All P6.0/AD to P6.7/AT terminals. Analog inputs selected in ADC12MCTLx register and P[Sel] _m =1 0 ≤ X ≤ 7; V _(AVSS) = V _{FP6(Ax)} = V _(AVCC)	0		V _{AVCC}	V
I _{ADC12}	Operating supply current into AV _{CC} terminal (see Note 3) ADC12CLK = 5.0 MHz ADC12ON = 1, REFON = 0 SHT0=0, SHT1=0, ADC12DIV=0	0.2 V	-0.55	1.0	mA
		3 V	-0.6	1.6	
I _{REF+}	Operating supply current into AV _{CC} terminal (see Note 4) ADC12CLK = 5.0 MHz ADC12ON = 0, REFON = 1, REF2_5V = 1	3 V	-0.5	0.6	mA
		ADC12CLK = 5.0 MHz ADC12ON = 0, REFON = 1, REF2_5V = 0	2.2 V	-0.5	-0.6
C _I †	input capacitance (see Note 4) Only one terminal can be selected at one time. P6.X/AX	2.2 V		40	pF
R _I †	input MUX ON resistance (see Note 4) 0V = V _{Ax} = V _{AVCC}	3 V		2000	Ω

12 位 ADC 外部性能

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
V_{REF+}	Positive external reference voltage input $V_{REF+} = V_{REF}/V_{REF-}$ (see Note 2)	1.4		V_{AVCC}	V
V_{REF-}/V_{REF-}	Negative external reference voltage input $V_{REF+} = V_{REF}/V_{REF-}$ (see Note 3)	0		1.2	V
$(V_{REF+} - V_{REF-})/V_{REF-}$	Differential external reference voltage input $V_{REF+} = V_{REF}/V_{REF-}$ (see Note 4)	1.4		V_{AVCC}	V
I_{VREF+}	Static input current $0V \leq V_{REF+} \leq V_{AVCC}$	2.2			μA
I_{VREF-}/V_{REF-}	Static input current $0V \leq V_{REF-} \leq V_{AVCC}$	2.2			μA

12 位 ADC 内建参考

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
V_{REF+}	Positive built-in reference voltage output REF2_5V = 1 for 2.5 V $I_{VREF+} = I_{VREF+max}$	3	2.4	2.6	V	
	REF2_5V = 0 for 1.5 V $I_{VREF+} = I_{VREF+max}$	2.2	1.44	1.68		
I_{VREF+}	Load current out of V_{REF+} terminal	2.2 V	0.01	-0.5	mA	
	3 V			-1		
I_{CVREF+}^{\dagger}	Load-current regulation V_{REF+} terminal $I_{VREF+} = 500 \mu A \pm 100 \mu A$ Analog input voltage = 0.75 V; REF2_5V = 0	2.2 V		± 2	LSB	
	3 V			± 2		
$I_{DL(VREF+)}^{\ddagger}$	Load current regulation V_{REF+} terminal $I_{VREF+} = 100 \mu A \pm 900 \mu A$ $V_{DD} = 3V$ at $-0.5 \times V_{REF+}$ Error of conversion result ≤ 1 LSB	3 V		± 2	LSB	
	3 V			± 2		
C_{VREF+}	Capacitance at pin V_{REF+} (see Note 1)	REFON = 1 $0 \text{ mA} \leq I_{VREF+} \leq I_{VREF+max}$	2.2	5	10	μF
T_{REF+}^{\S}	Temperature coefficient of built-in reference I_{VREF+} is a constant in the range of $0 \text{ mA} \leq I_{VREF+} \leq 1 \text{ mA}$	2.2			± 100	ppm/°C
t_{REFON}^{\P}	Settle time of internal reference voltage (see Figure 13 and Note 2)	$I_{VREF+} = 0.5 \text{ mA}$, $C_{VREF+} = 10 \mu F$ $V_{REF+} = 1.6 \text{ V}$, $V_{AVCC} = 2.2 \text{ V}$			17	ms

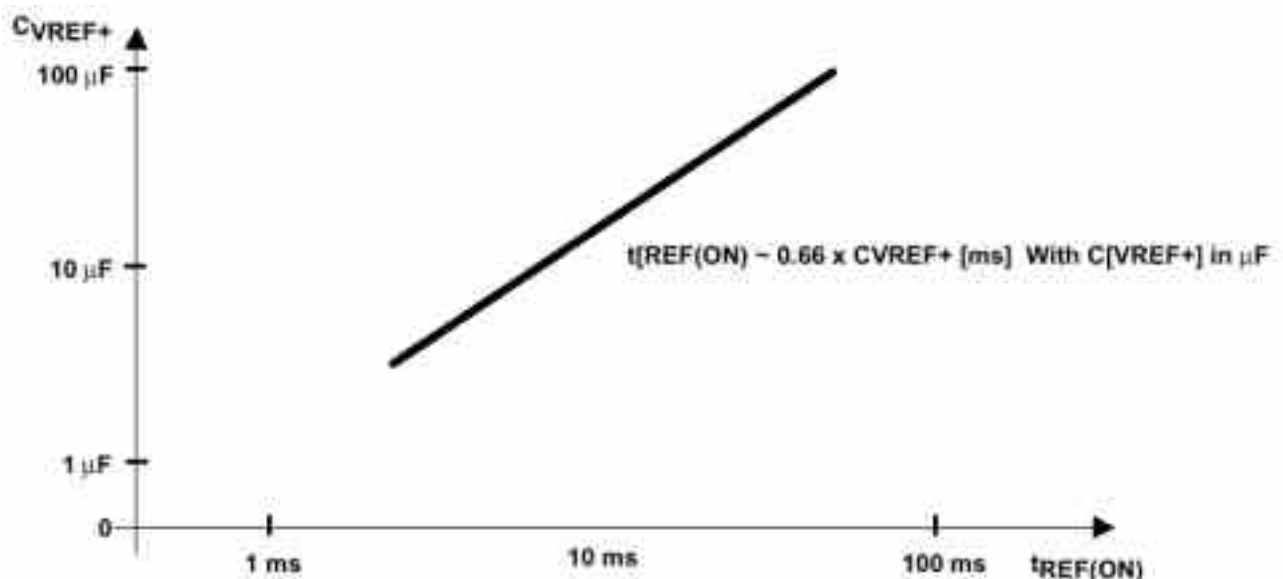


图 13 典型内部参考电压建立时间 $T_{ref}(ON)$ 与 V_{ref+} 上的外部电容

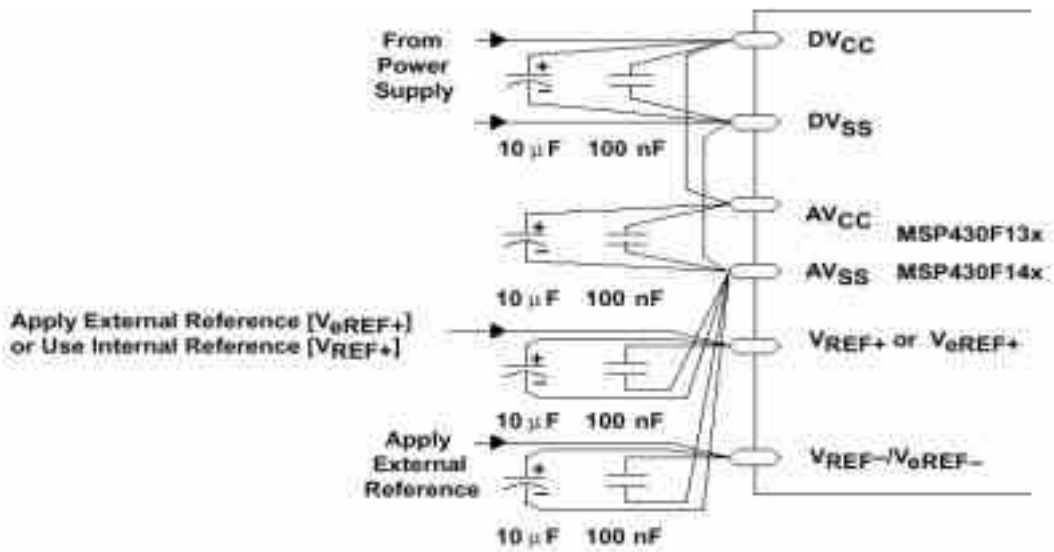


图 14 供电电压和参考电压设计 Vref-/VREF 外部提供

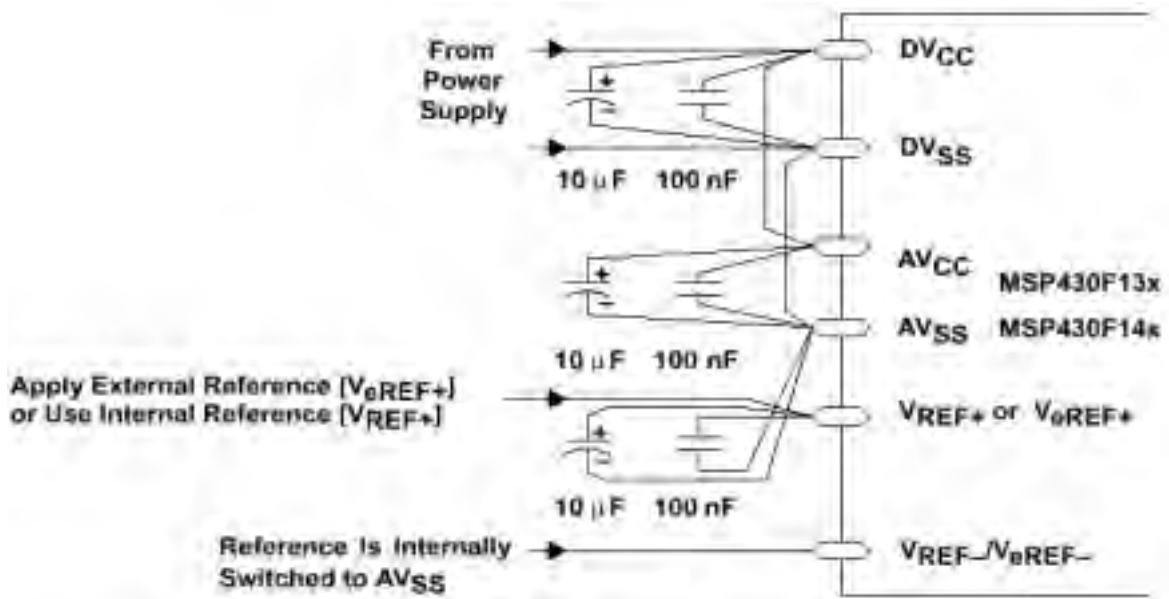


图 15 供电电压和参考电压设计内部连接



12 位 ADC 定时参数

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
f _{ADC12CLK}	Error of conversion result ≤ ±2 LSB	2.2V/3V	5		MHz
f _{ADC12OSC}	Internal ADC12 oscillate f _{ADC12CLK} = f _{ADC12OSC}	2.2V/3V	3.7	6.3	MHz
t _{CONVERT}	Conversion time	C _{VREF+} = 5 μF, internal oscillator f _{ADC12OSC} = 3.7 MHz to 6.3 MHz	2.66	3.51	μs
	External f _{ADC12CLK} from ACLK, MCLK or BMCLK f _{ADC12SSEL} = 0		1 × f _{ADC12DIV} / f _{ADC12CLK}		μs
t _{ADC12ON†}	Turn on setting time of the ADC	(see Note 1)		100	ns
t _{sample‡}	Sampling time	R _S = 400 Ω, R _L = 1000 Ω C _L = 30 pF t = [R _S × t _R] × C _L (see Note 2)	3 V 2.2 V	1200 1400	ns

12 位线性参数

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT
E _I	Integral linearity error	1.4 V ≤ (V _{REF+} - V _{REF-} / V _{REF-}) min ≤ 1.6 V 1.8 V ≤ (V _{REF+} - V _{REF-} / V _{REF-}) min ≤ [V _{AVCC}]	2.2 V/3 V	±2	LSB
E _D	Differential linearity error	(V _{REF+} - V _{REF-} / V _{REF-}) min ≤ (V _{REF+} - V _{REF-} / V _{REF-}) C _{VREF+} = 10 μF (tantalum) and 100 nF (ceramic)	2.2 V/3 V	±1	LSB
E _O	Offset error	(V _{REF+} - V _{REF-} / V _{REF-}) min ≤ (V _{REF+} - V _{REF-} / V _{REF-}) Internal impedance of source R _S ≤ 100 Ω, C _{VREF+} = 10 μF (tantalum) and 100 nF (ceramic)	2.2 V/3 V	±2	LSB
E _G	Gain error	(V _{REF+} - V _{REF-} / V _{REF-}) min ≤ (V _{REF+} - V _{REF-} / V _{REF-}) C _{VREF+} = 10 μF (tantalum) and 100 nF (ceramic)	2.2 V/3 V	±1.1	LSB
E _T	Total unadjusted error	(V _{REF+} - V _{REF-} / V _{REF-}) min ≤ (V _{REF+} - V _{REF-} / V _{REF-}) C _{VREF+} = 10 μF (tantalum) and 100 nF (ceramic)	2.2 V/3 V	±2	LSB

12 位 ADC 温度传感器和内置 V_{mid}

PARAMETER	TEST CONDITIONS	MIN	NOM	MAX	UNIT	
I _{SENSOR}	Operating supply current into AV _{CC} terminal (see Note 1)	V _{REFON} = 0, INCH = 0Ah, ADC12ON = NA, T _A = 25°C	2.2 V 3 V	40 60	120 160	μA
V _{SENSOR†}		ADC12ON = 1, INCH = 0Ah, T _A = 0°C	2.2 V 3 V	986 986	986 ± 5% 986 ± 5%	mV
TC _{SENSOR‡}		ADC12ON = 1, INCH = 0Ah	2.2 V 3 V	3.55 3.55	3.55 ± 3% 3.55 ± 3%	mV/°C
t _{SENSOR(sample)†}	Sample time required if channel 10 is selected (see Note 2)	ADC12ON = 1, INCH = 0Ah, Error of conversion result = 1 LSB	2.2 V 3 V	30 30		ns
I _{V_{MID}}	Current into divider at channel 11	ADC12ON = 1, INCH = 0Bh, (see Note 3)	2.2 V 3 V		NA NA	μA
V _{MID}	AV _{CC} divider at channel 11	ADC12ON = 1, INCH = 0Bh, V _{MID} is 0.5 × V _{AVCC}	2.2 V 3 V	1.1 1.5	1.1 ± 0.04 1.50 ± 0.04	V
t _{V_{MID}(sample)}	Sample time required if channel 11 is selected (see Note 4)	ADC12ON = 1, INCH = 0Bh, Error of conversion result = 1 LSB	2.2 V 3 V	1400 1220		ns

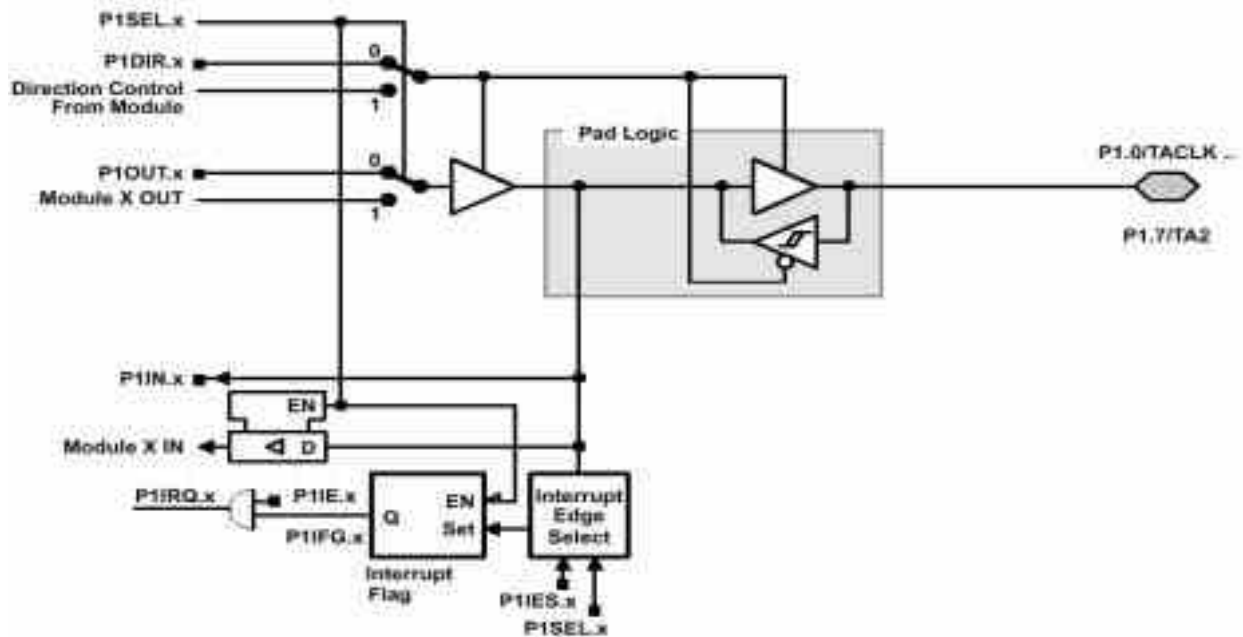


JTAG 程序存储器和熔丝

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	NOM	MAX	UNIT	
f _(TCK)	JTAG/Test (see Note 4)	TCK frequency	2.2 V	DC	5	MHz	
			3 V	DC	10		
		Pullup resistors on TMS, TCK, TDI (see Note 1)	2.2 V/3 V	25	60	80	kΩ
V _{OC(FB)}	JTAG/fuse (see Note 2)	Supply voltage during fuse-blow condition, T _(A) = 25°C		2.5		V	
V _{FB}		Fuse-blow voltage, F versions (see Note 3)		6.0	7.0	V	
I _{FB}		Supply current on TDI with fuse blown				100	mA
		Time to blow the fuse				1	ms
I _{DD-PGM}	F-versions only (see Note 4)	Current from DV _{CC} when programming is active	2.7 V/3.6 V		3	5	mA
I _{DD-Erase}		Current from DV _{CC} when erase is active	2.7 V/3.6 V		3	5	mA
t _(retention)	F-versions only	Write/erase cycles			10 ⁴	10 ⁵	cycles
		Data retention T _J = 25°C			100		years

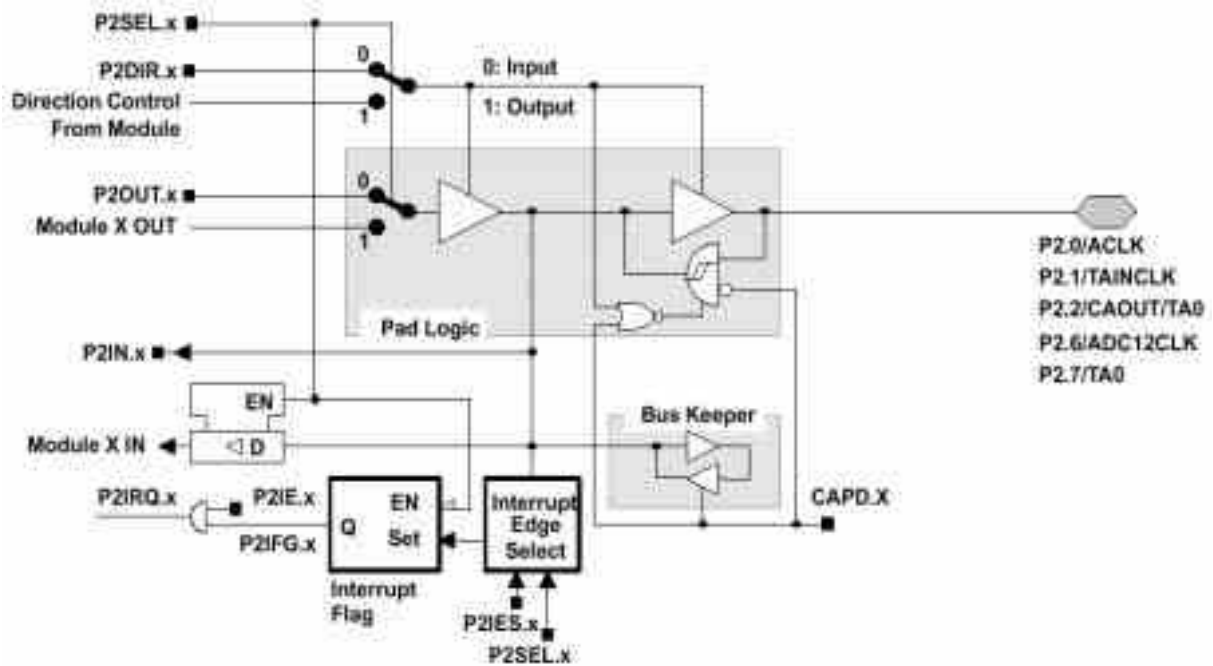
输入/输出示电路

端口 P1, P1.0 到 P1.7, 带施密特触发器的输入/输出



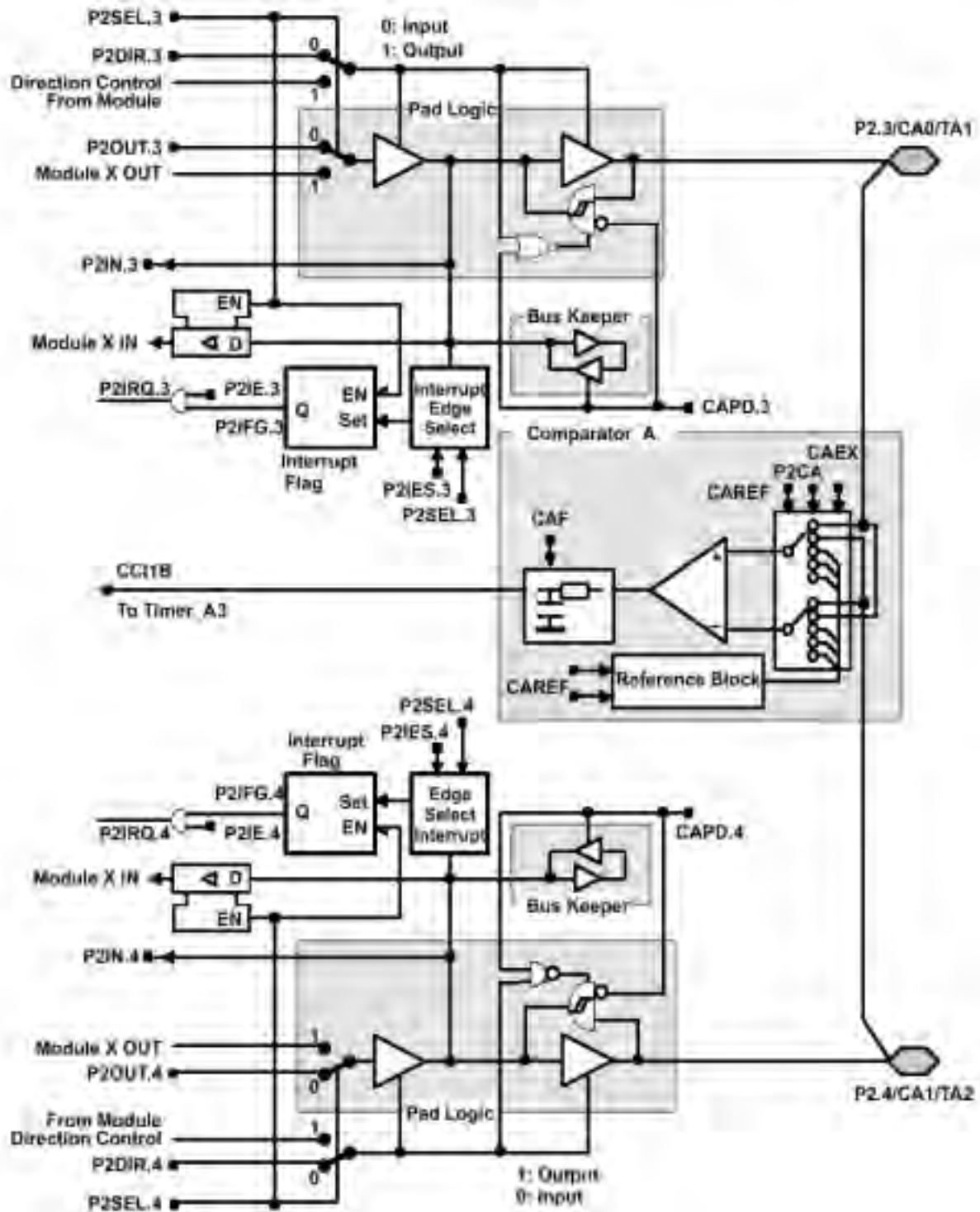
PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P1Sel.0	P1DIR.0	P1DIR.0	P1OUT.0	DV _{SS}	P1IN.0	TACLK [†]	P1IE.0	P1FG.0	P1ES.0
P1Sel.1	P1DIR.1	P1DIR.1	P1OUT.1	Out0 signal [†]	P1IN.1	CC0A [†]	P1IE.1	P1FG.1	P1ES.1
P1Sel.2	P1DIR.2	P1DIR.2	P1OUT.2	Out1 signal [†]	P1IN.2	CC1A [†]	P1IE.2	P1FG.2	P1ES.2
P1Sel.3	P1DIR.3	P1DIR.3	P1OUT.3	Out2 signal [†]	P1IN.3	CC2A [†]	P1IE.3	P1FG.3	P1ES.3
P1Sel.4	P1DIR.4	P1DIR.4	P1OUT.4	SMCLK	P1IN.4	unused	P1IE.4	P1FG.4	P1ES.4
P1Sel.5	P1DIR.5	P1DIR.5	P1OUT.5	Out0 signal [†]	P1IN.5	unused	P1IE.5	P1FG.5	P1ES.5
P1Sel.6	P1DIR.6	P1DIR.6	P1OUT.6	Out1 signal [†]	P1IN.6	unused	P1IE.6	P1FG.6	P1ES.6
P1Sel.7	P1DIR.7	P1DIR.7	P1OUT.7	Out2 signal [†]	P1IN.7	unused	P1IE.7	P1FG.7	P1ES.7

端口 P2, P2.0 到 P2.6 和 P2.7 带施密特触发器的输入/输出



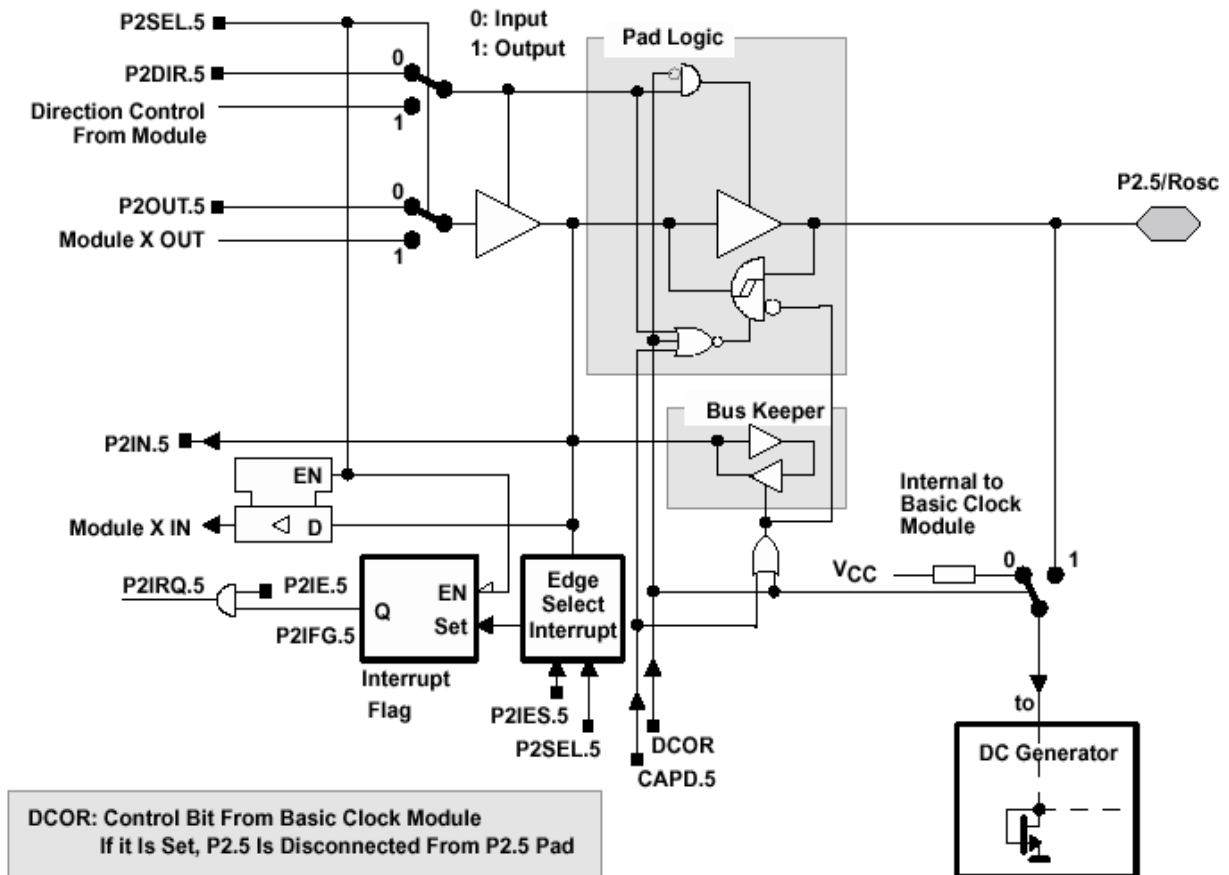
PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnES.x
P2Sel.0	P2DIR.0	P2DIR.0	P2OUT.0	ACLK	P2IN.0	unused	P2IE.0	P2IFG.0	P2ES.0
P2Sel.1	P2DIR.1	P2DIR.1	P2OUT.1	DVSS	P2IN.1	INCLK \uparrow	P2IE.1	P2IFG.1	P2ES.1
P2Sel.2	P2DIR.2	P2DIR.2	P2OUT.2	CAOUT \uparrow	P2IN.2	OCIOB \uparrow	P2IE.2	P2IFG.2	P2ES.2
P2Sel.6	P2DIR.6	P2DIR.6	P2OUT.6	ADC12CLK \uparrow	P2IN.6	unused	P2IE.6	P2IFG.6	P2ES.6
P2Sel.7	P2DIR.7	P2DIR.7	P2OUT.7	Out0 signal \uparrow	P2IN.7	unused	P2IE.7	P2IFG.7	P2ES.7

P2.0 , P2.3 到 P2.4 带施密特触发器的输入/输出



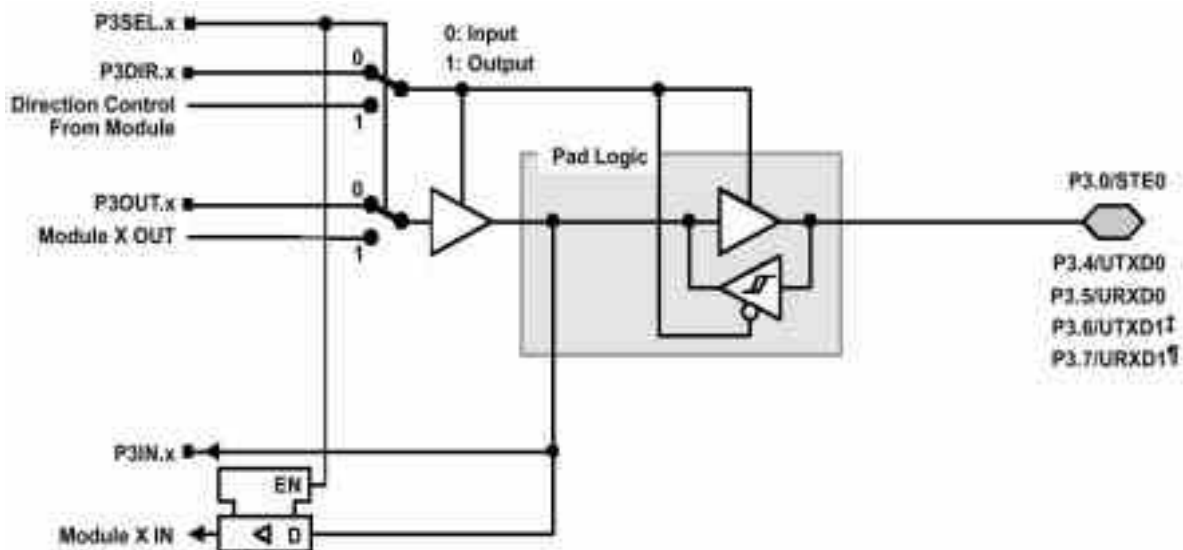
PnSel.x	PnDir.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.3	P2Dir.3	P2DIR.3	P2OUT.3	Out1 signal \uparrow	P2IN.3	unused	P2IE.3	P2IFG.3	P2IES.3
P2Sel.4	P2Dir.4	P2DIR.4	P2OUT.4	Out2 signal \uparrow	P2IN.4	unused	P2IE.4	P2IFG.4	P2IES.4

端口 P2 , P2.5 带施密特触发器的输入/输出和 ROSC 基本时钟模块功能



PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN	PnIE.x	PnIFG.x	PnIES.x
P2Sel.5	P2DIR.5	P2DIR.5	P2OUT.5	.DV _{SS}	P2IN.5	unused	P2IE.5	P2IFG.5	P2IES.5

P3 口 .P3.0、P3.4 到 P3.7 口带施密特触发器的输入/输出



PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P3Sel.0	P3DIR.0	DV _{SS}	P3OUT.0	DV _{SS}	P3IN.0	STEO
P3Sel.4	P3DIR.4	DV _{CC}	P3OUT.4	UTXD0†	P3IN.4	Unused
P3Sel.5	P3DIR.5	DV _{SS}	P3OUT.5	DV _{SS}	P3IN.5	URXD0‡
P3Sel.6	P3DIR.6	DV _{CC}	P3OUT.6	UTXD1‡	P3IN.6	Unused
P3Sel.7	P3DIR.7	DV _{SS}	P3OUT.7	DV _{SS}	P3IN.7	URXD1†

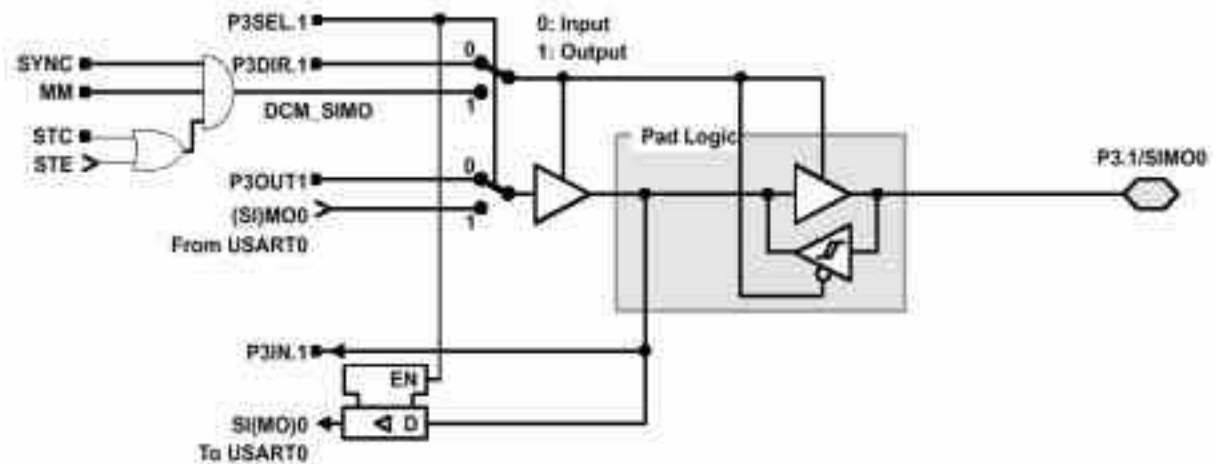
† Output from USART0 module

‡ Output from USART1 module in x14x(1) configuration, DV_{SS} in x13x configuration

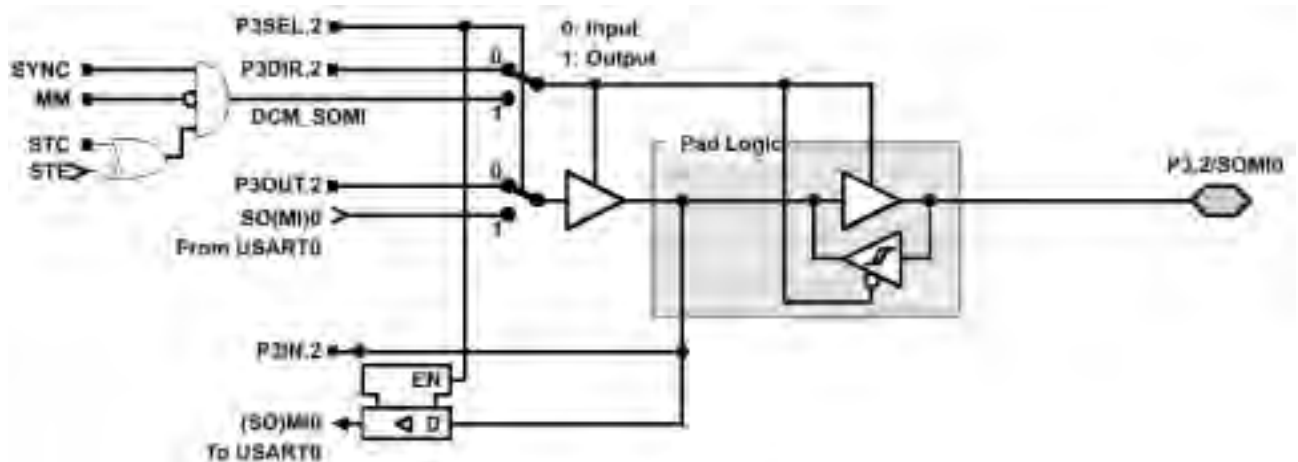
§ Input to USART0 module

†† Input to USART1 module in x14x(1) configuration, unused in x13x configuration

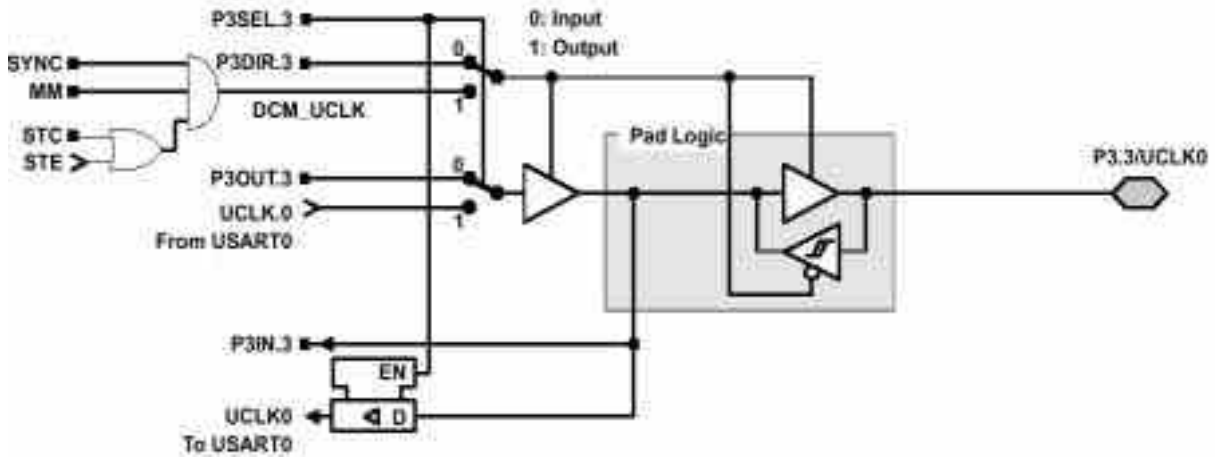
P3 口 , P3.1 带施密特触发器的输入/输出



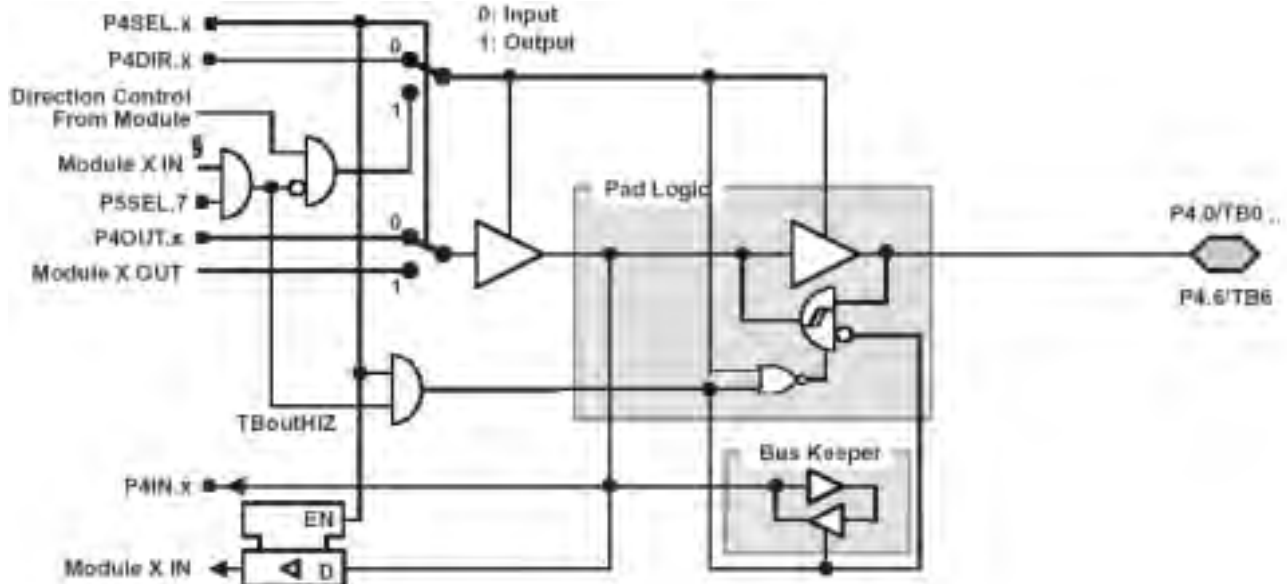
P3 口 , P3.2 带施密特触发器的输入/输出



P3 口, P3.3 带施密特触发器的输入/输出



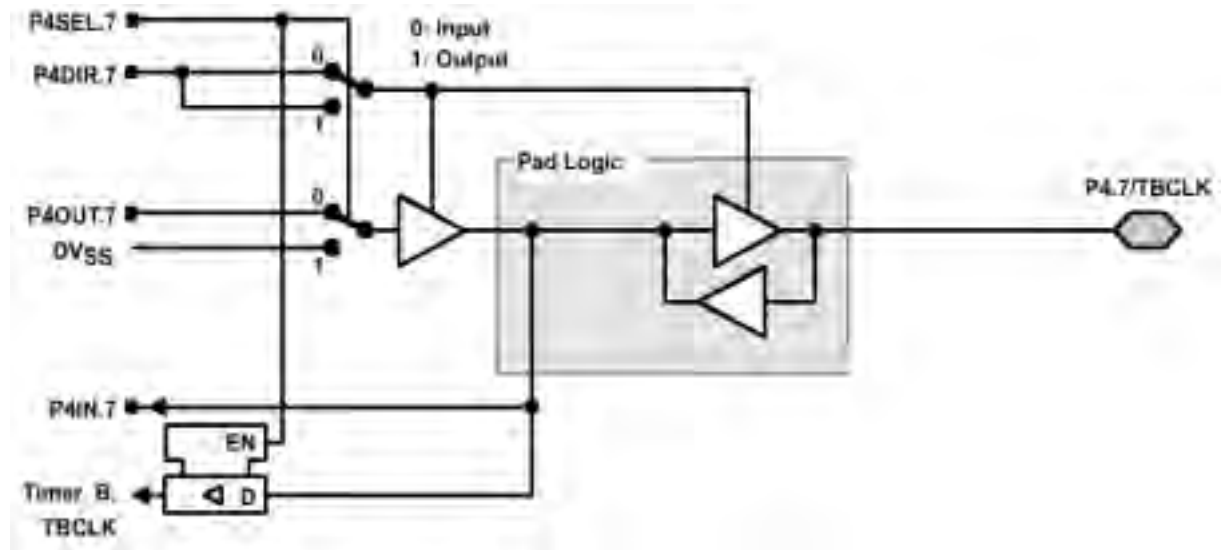
P4 口, P4.0to P4.6 带施密特触发器的输入/输出



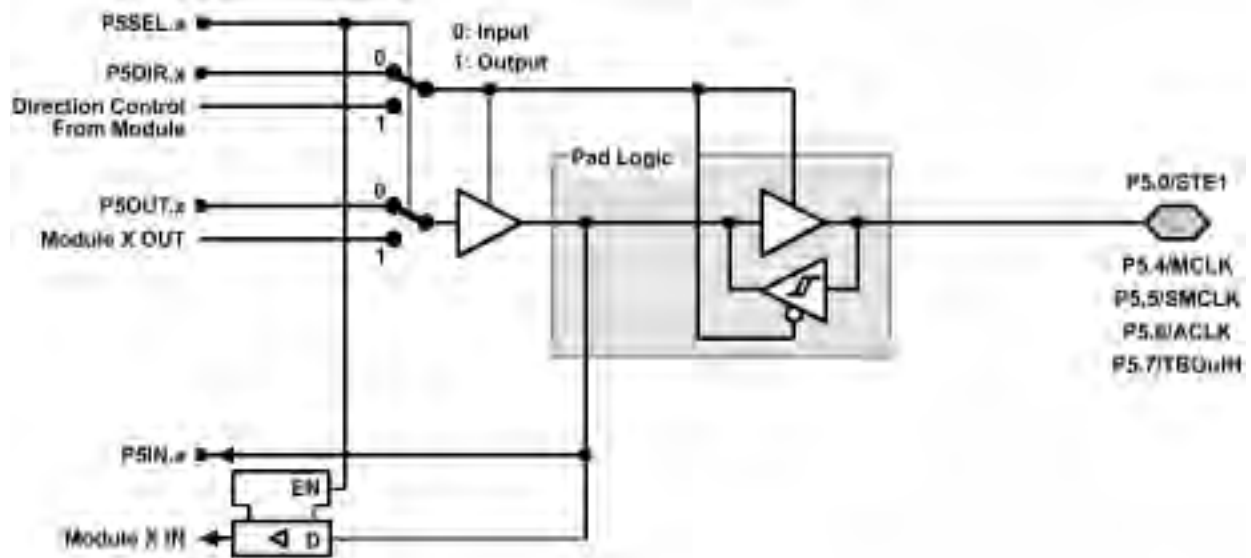
x: Init Identifier, 0 to 6 for Part P4

PnSel.x	PnDIR.x	DIRECTION CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P4Sel.0	P4DIR.0	P4DIR.0	P4OUT.0	Out0 signal†	P4IN.0	CC0A / CC0B‡
P4Sel.1	P4DIR.1	P4DIR.1	P4OUT.1	Out1 signal†	P4IN.1	CC1A / CC1B‡
P4Sel.2	P4DIR.2	P4DIR.2	P4OUT.2	Out2 signal†	P4IN.2	CC2A / CC2B‡
P4Sel.3	P4DIR.3	P4DIR.3	P4OUT.3	Out3 signal†	P4IN.3	CC3A / CC3B‡
P4Sel.4	P4DIR.4	P4DIR.4	P4OUT.4	Out4 signal†	P4IN.4	CC4A / CC4B‡
P4Sel.5	P4DIR.5	P4DIR.5	P4OUT.5	Out5 signal†	P4IN.5	CC5A / CC5B‡
P4Sel.6	P4DIR.6	P4DIR.6	P4OUT.6	Out6 signal†	P4IN.6	CC6A / CC6B‡

P4 口, P4.7 带施密特触发器的输入/输出

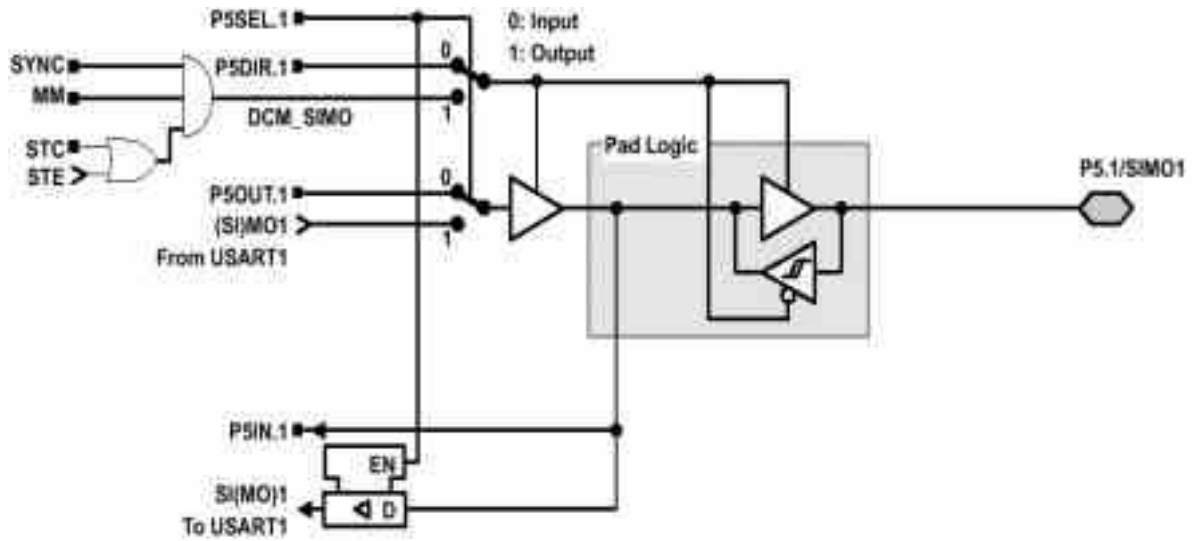


P5 口, P5.0、P5.4 到 P5.7 带施密特触发器的输入/输出

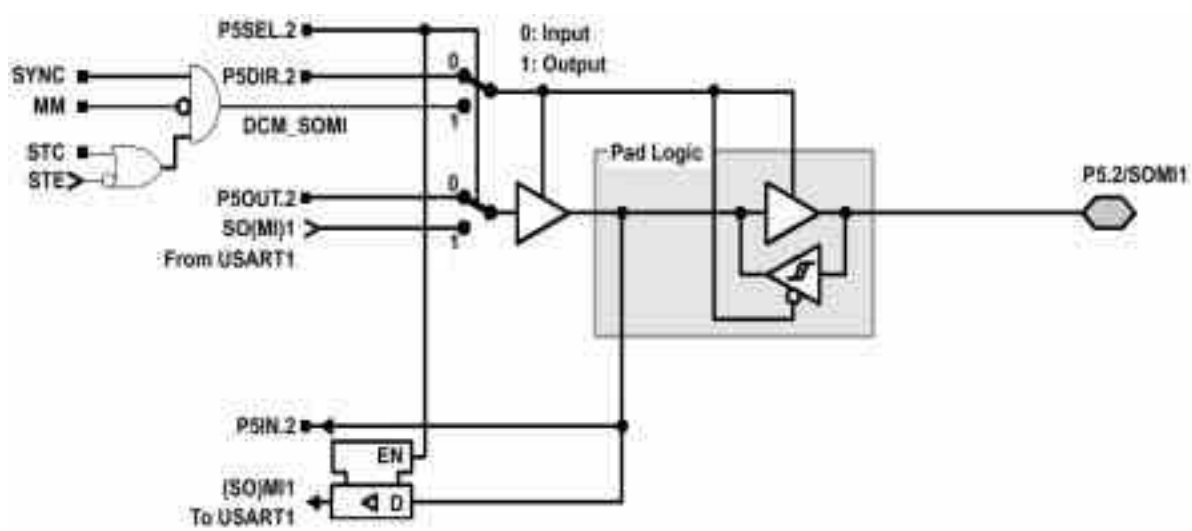


PnSel.x	PnDIR.x	Dir. CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P5Sel.0	P5DIR.0	DVSS	P5OUT.0	DVSS	PSIN.0	STE.1
P5Sel.4	P5DIR.4	DVCC	P5OUT.4	MCLK	PSIN.4	unused
P5Sel.5	P5DIR.5	DVCC	P5OUT.5	SMCLK	PSIN.5	unused
P5Sel.6	P5DIR.6	DVCC	P5OUT.6	ACLK	PSIN.6	unused
P5Sel.7	P5DIR.7	DVSS	P5OUT.7	DVSS	PSIN.7	TBOutHz

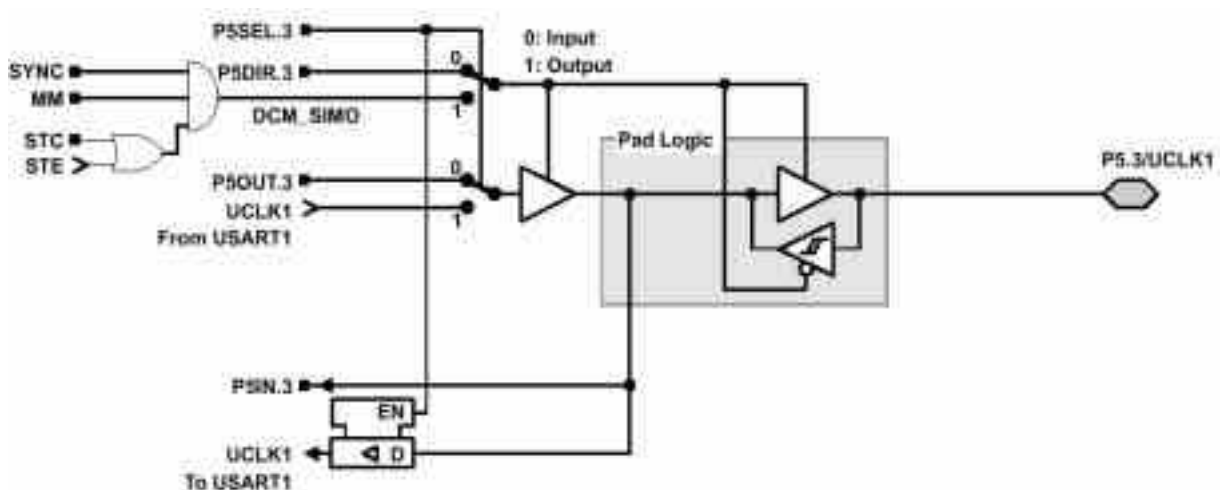
P5 口 , P5.1 带施密特触发器的输入/输出



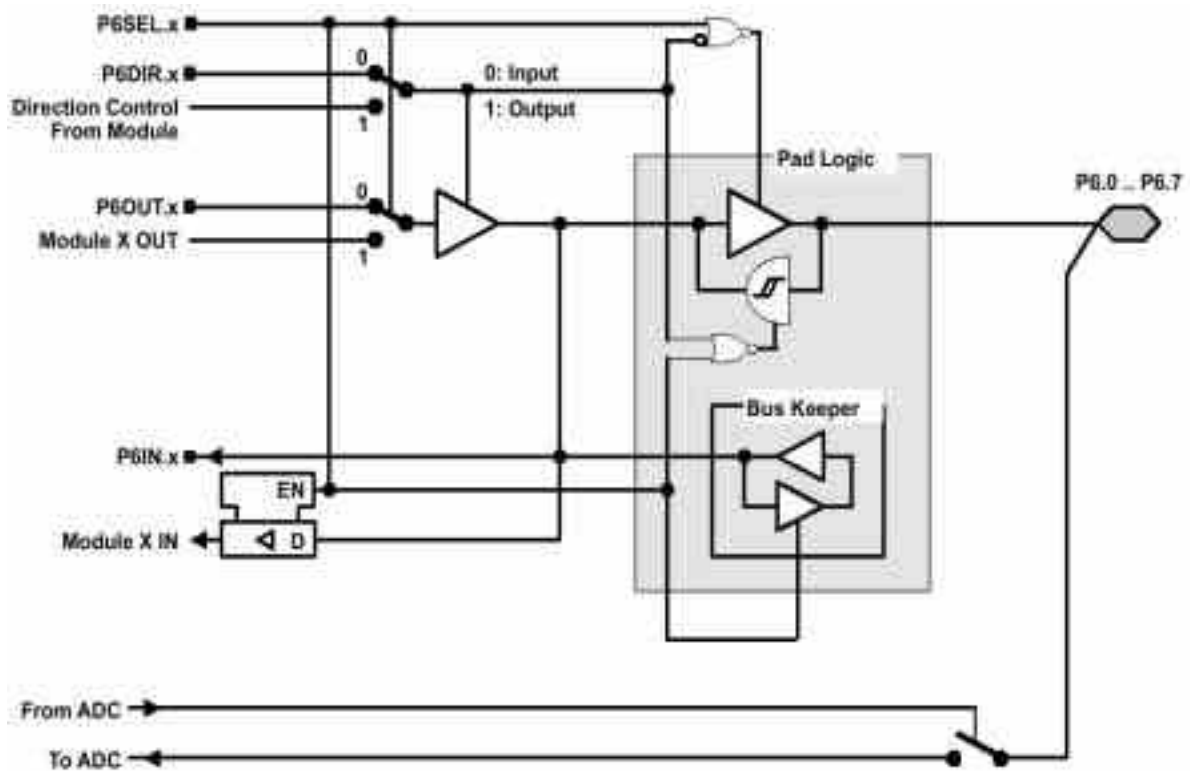
P5 口 , P5.2 带施密特触发器的输入/输出



P5 口 , P5.3 带施密特触发器的输入/输出

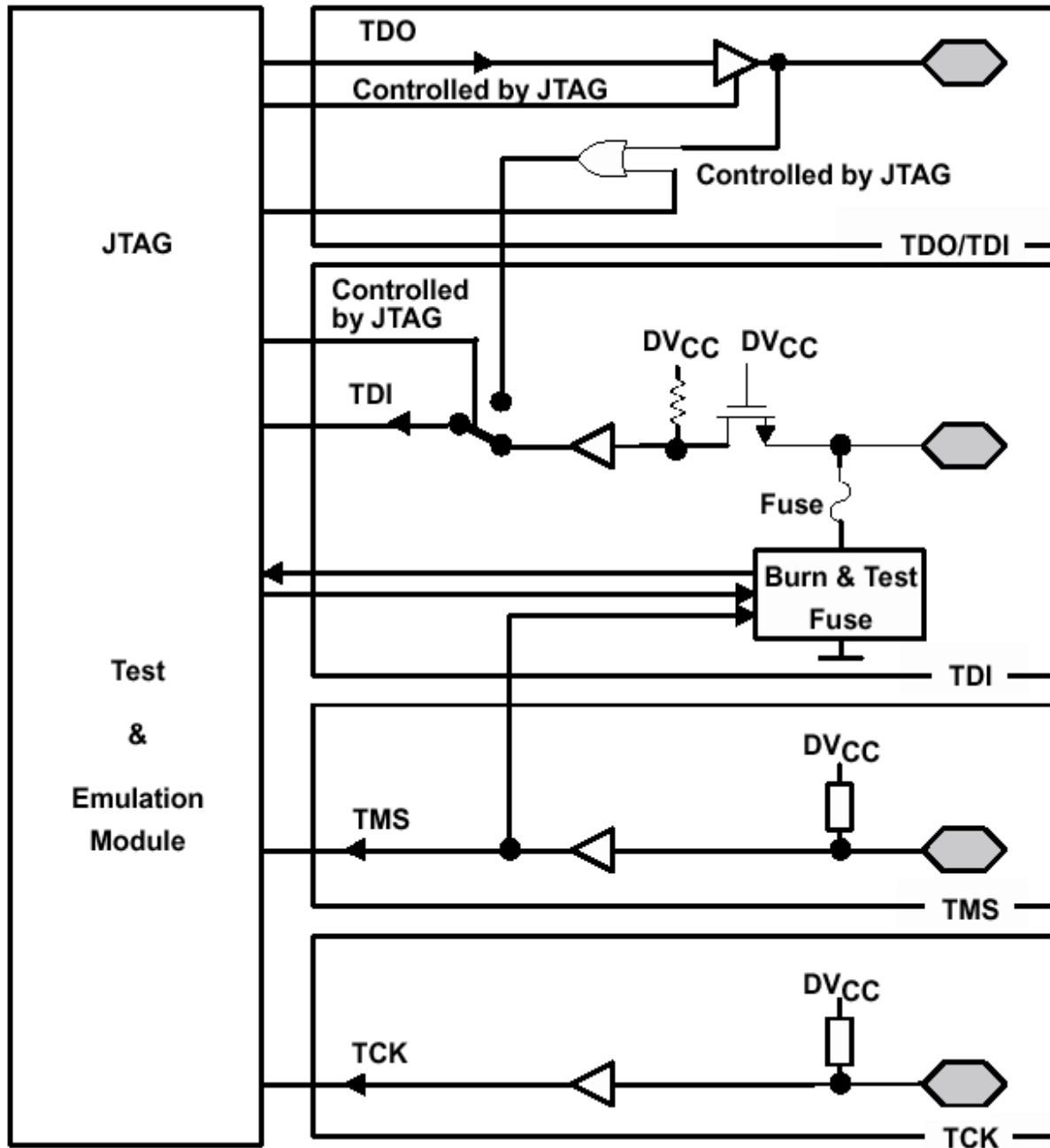


P6 , P6.0 到 P6.7 带施密特触发器的输入/输出



PnSel.x	PnDIR.x	DIR CONTROL FROM MODULE	PnOUT.x	MODULE X OUT	PnIN.x	MODULE X IN
P6Sel.0	P6DIR.0	P6DIR.0	P6OUT.0	DVSS	P6IN.0	unused
P6Sel.1	P6DIR.1	P6DIR.1	P6OUT.1	DVSS	P6IN.1	unused
P6Sel.2	P6DIR.2	P6DIR.2	P6OUT.2	DVSS	P6IN.2	unused
P6Sel.3	P6DIR.3	P6DIR.3	P6OUT.3	DVSS	P6IN.3	unused
P6Sel.4	P6DIR.4	P6DIR.4	P6OUT.4	DVSS	P6IN.4	unused
P6Sel.5	P6DIR.5	P6DIR.5	P6OUT.5	DVSS	P6IN.5	unused
P6Sel.6	P6DIR.6	P6DIR.6	P6OUT.6	DVSS	P6IN.6	unused
P6Sel.7	P6DIR.7	P6DIR.7	P6OUT.7	DVSS	P6IN.7	unused

JTAG 引脚 TCK、TMS、TDI、TDO 带施密特触发器的输入/输出



JTAG 熔丝检查模式

MSP430 芯片在 TDI 引脚终端上有熔丝，在 JTAG 端口在上电复位（POR）后检测熔丝的连续性模式。当激活时，熔丝检查电流 I_{TF} ，在 3V 时为 1mA，在 5V 时为 2.5mA，如果熔丝没有烧掉将从 TDI 引脚流向地。必须注意避免意外地激活熔丝检查模式而增大整个系统功耗。熔丝检查模式的激活发生在上电后 TMS 引脚的第一个下降沿或者上电时 TMS 保持为低。TMS 引脚上的第二个上升沿关闭熔丝检查模式。关闭后，熔丝检查模式保持停止直到发生另一个 POR。

熔丝检查电流仅当熔丝检查模式激活以及 TMS 引脚处于低状态时才流过（见图 23）。因此，额外的电流可以通过将 TMS 引脚拉高（缺省条件）避免。

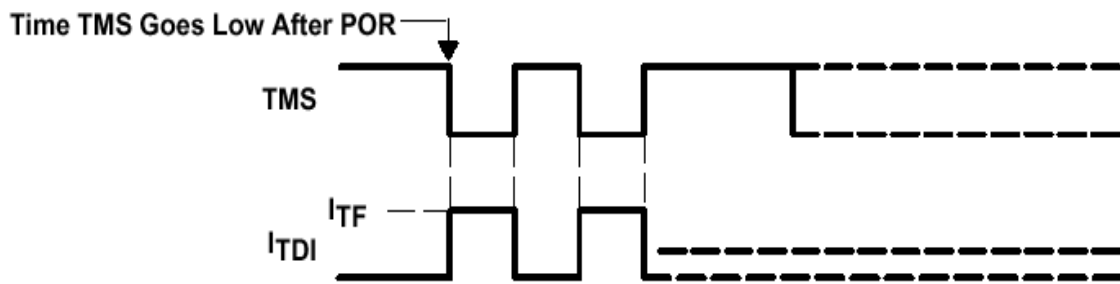
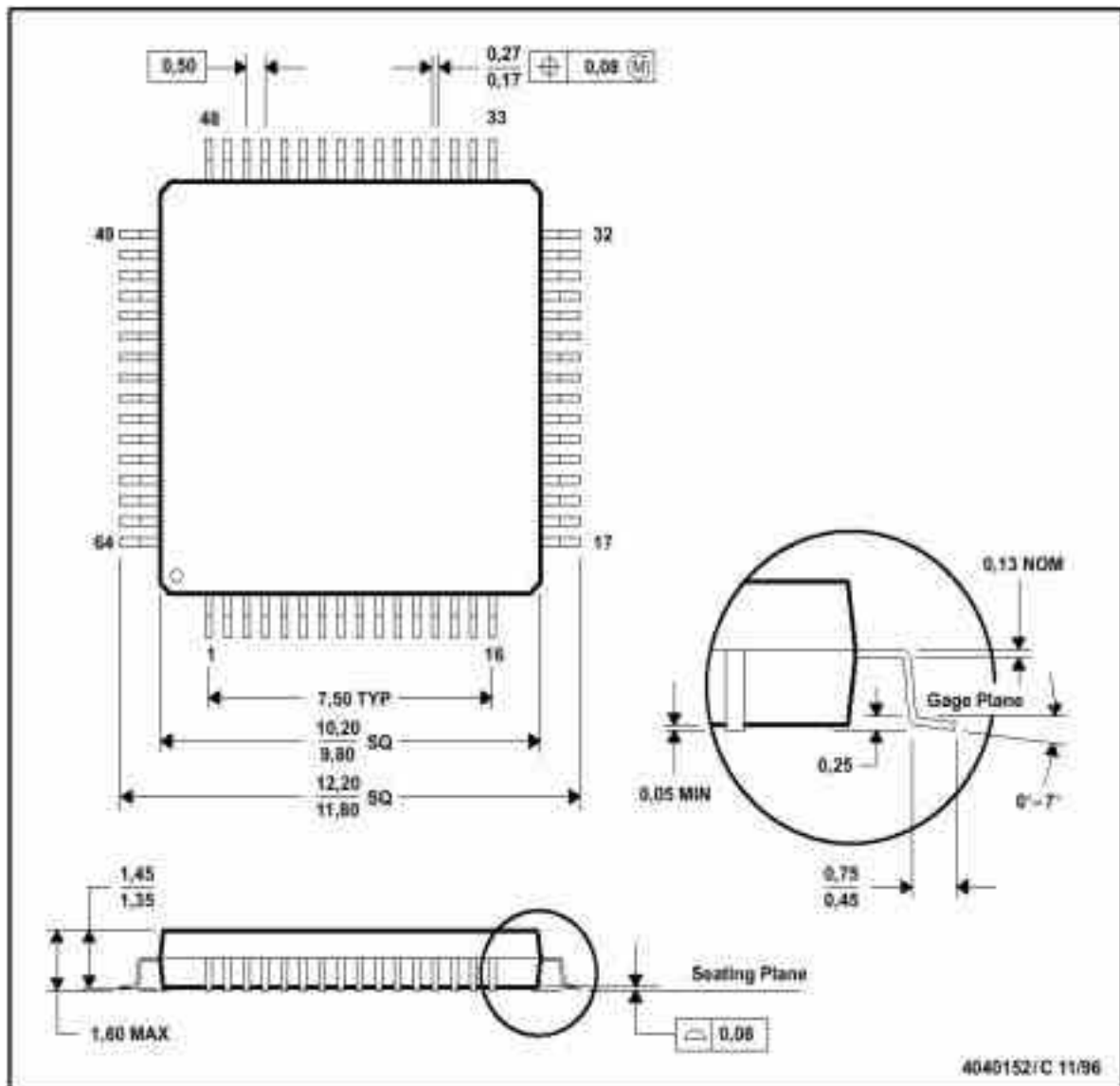


图 16 X13X/X14X 熔丝检查模式电流

64PQFP 封装尺寸图



说明：该中文资料在翻译过程中难免存在错误，请依照英文资料为准。